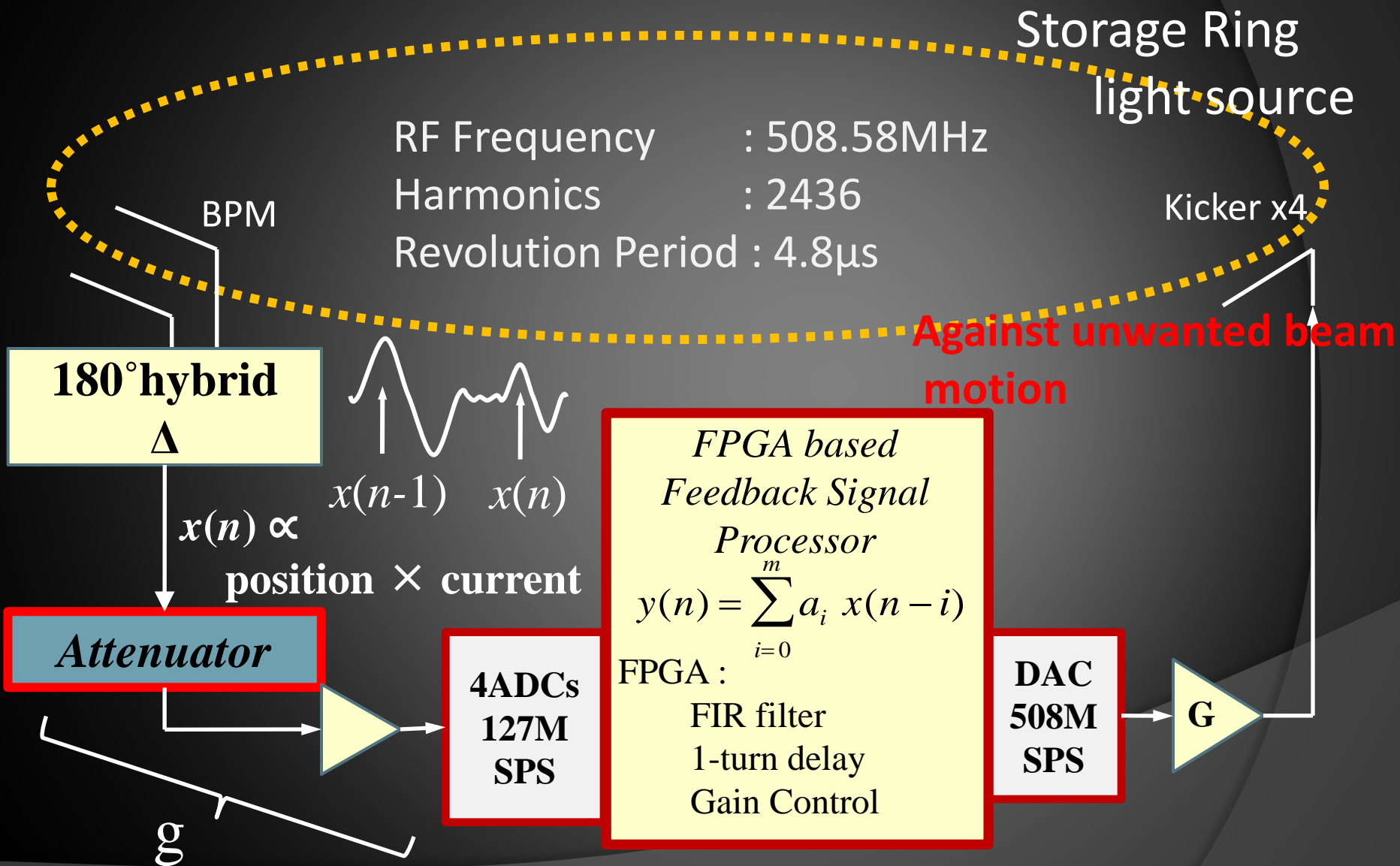


# SPring-8新規Bunch-by-Bunch Feedbackシステム 信号処理回路の開発

## Development of a New Bunch-by-Bunch Feedback Signal Processor at the SPring-8 Ring

小林 和生、中村 剛、正木 満博、藤田 貴弘  
SPring-8/JASRI

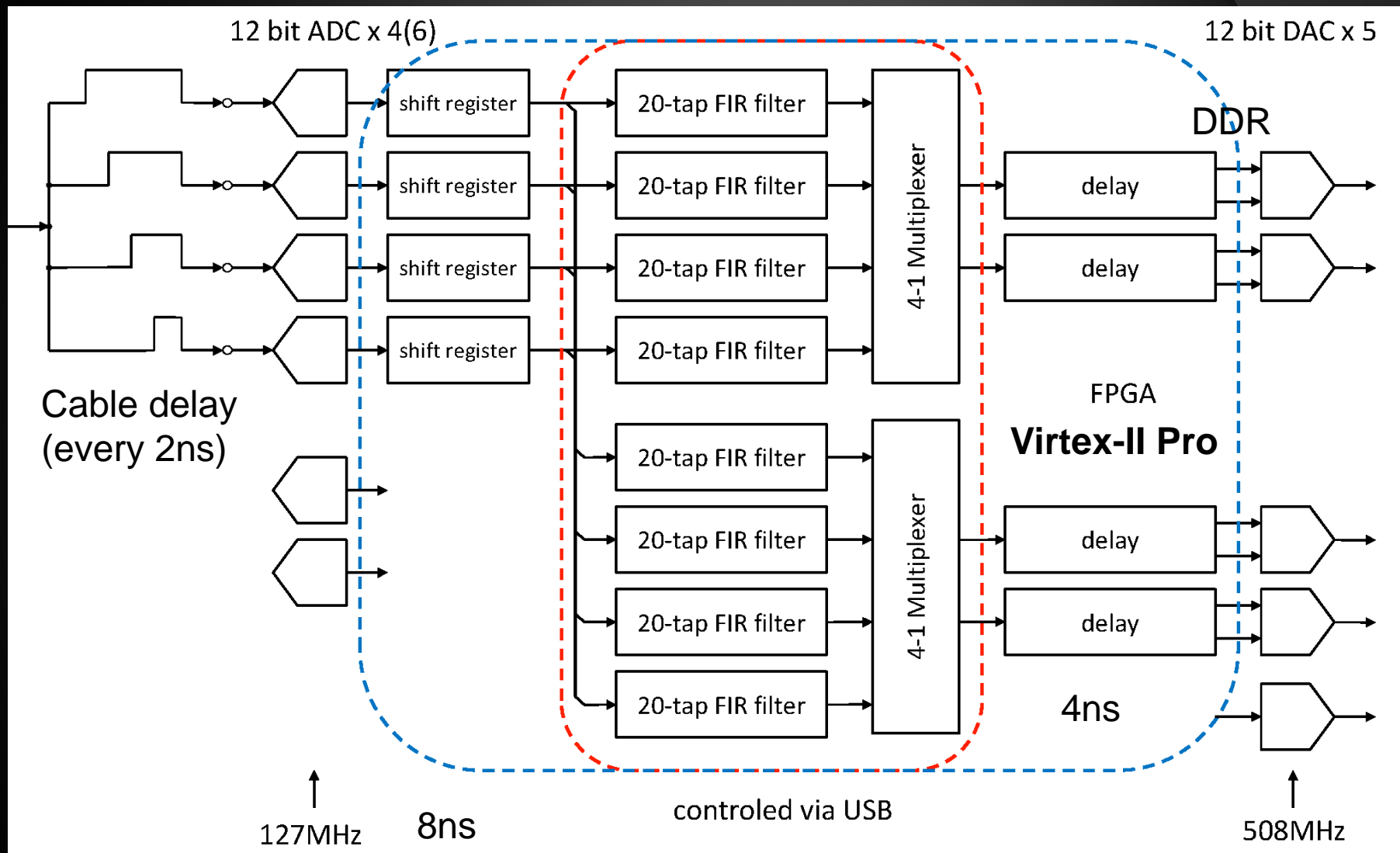
# SPring-8 Bunch-by-Bunch Feedback System



# Bunch-by-Bunch Feedback(BBF) Digital Signal Processor's History

	deployed	ADC	FPGA	DAC	
1 <sup>st</sup>	Sep.2003	AD9432 12bits/105MSPS	XC2V1000-4fg456 x 6 (XC2V250-6fg456)	RDA012 12bits/1GSPS	HUNT Eng. HERON IO2V + digitized Multiplexer
2 <sup>nd</sup>	Sep.2005	AD9433 12bits/125MSPS Analog BW 750MHz	XC2VP70-6FF1517 x 1	RDA012 12bits/1GSPS	<b>Active service</b>
3 <sup>rd</sup>	Apr.2008	"	"	AD9735 12bits/600MSPS	<b>Active service</b>
4 <sup>th</sup>	Sep.2015-	ADS54RF63 12bits/550MSPS Analog BW 2.3GHz	XC7VX690T-2FFG1930 x2 XC6SLX75-2FGG676C x1	DAC3482 16bits/625MSPS	<b>Development</b>

# BBF Digital Signal Processor Block Diagram on active service



## 新規信号処理回路?

### ❖ 現在運用中の回路は開発から10年以上が経過

- ✓ 現回路に搭載の主要デバイス（ADC、FPGA、DAC）の入手が困難に
  - 予備機が用意できない、修理自体も困難
- ✓ 現行のXilinxのFPGA開発ツールはもはや Virtex-II Proをサポートしない
- ✓ 最新のFPGAでは18 x 25の演算を250MHz以上のレートで実行可能  
(in case of Virtex-II pro, 18 x 18 with 127MHz)
- ✓ 現行のFPGAには、基本機能以外を詰め込むリソースもない
  - 現回路では新機能を持たせる余地がない
- ✓ 500MSPS/12bits以上の性能を持つADCも入手可能に

□ *We decided to development of **New Signal Processor***

## 新規信号処理回路の仕様

- ✓ 300-tap以上のFIRフィルタ\* ← current system is 20 or 50-tap
- ✓ バンチ電流感応自動アッテネータ機能 ← current system : 別回路
- ✓ 10psecステップのDAC出力位置調整 ← current system is just only 4 ns step
- ✓ リアルタイムチューン測定機能
  - ❖ NCO (DDS) 内蔵 : チューン測定用信号発生器の統合
- ✓ 出力の延伸機能 : 大電流孤立バンチへの効率的なキック、長いキッカーの利用
- ✓ 外部周回信号との同期、1-turn信号の発生と外部利用
- ✓ DC output signal: other purpose besides BBF e.g. for LLRF I/Q modulator control
- ✓ ビーム振動を検出し、内部で出力をOFF/ON/反転
  - ❖ ビームを失うことなく不安定性の成長、抑制の状況を観測
- ✓ Ethernet I/F ← current system is USB only

\*WEP088

### Key components of the New Signal Processor

#### ADC:

**ADS54RF63:** 12-bit / 550MSPS / 2.3GHz Input Bandwidth /  
Latency: 3.5 Clock cycles

#### FPGA : Two Virtex-7 & One Virtex-6

**XC7VX690T:** 3600 DSP Slices, for main feedback loop, signal processing

**XC6SLX75:** I/F to peripherals & boot sequence

#### DAC:

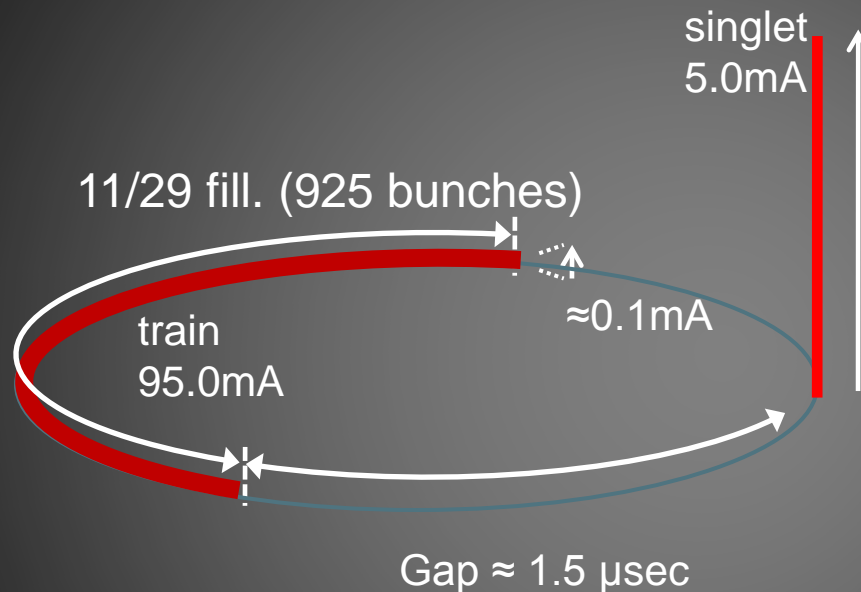
**DAC3482:** 16-bit(as 12-bit) / 2ch / 625MSPS

# Filling modes in SPring-8

Total 2436 bucket, Storage current = 100mA

mode		# of bunches		Bunch Current (mA)		Current ratio: singlet /train	Att. (dB)	
		train	singlet	train	singlet		train	singlet
multi				0.05			0	
hybrid	D	348	5	0.24	3.00	12.5	20	32
	E	168	26	0.38	1.40	3.0	20	32
	F	174	12	0.46	1.60	3.5	20	32
	G	168	53	0.28	1.00	3.6	20	32
	H	924	1	0.10	5.00	50	6	40

# Filling mode H : 1 1/29 fill + 5mA Singlet

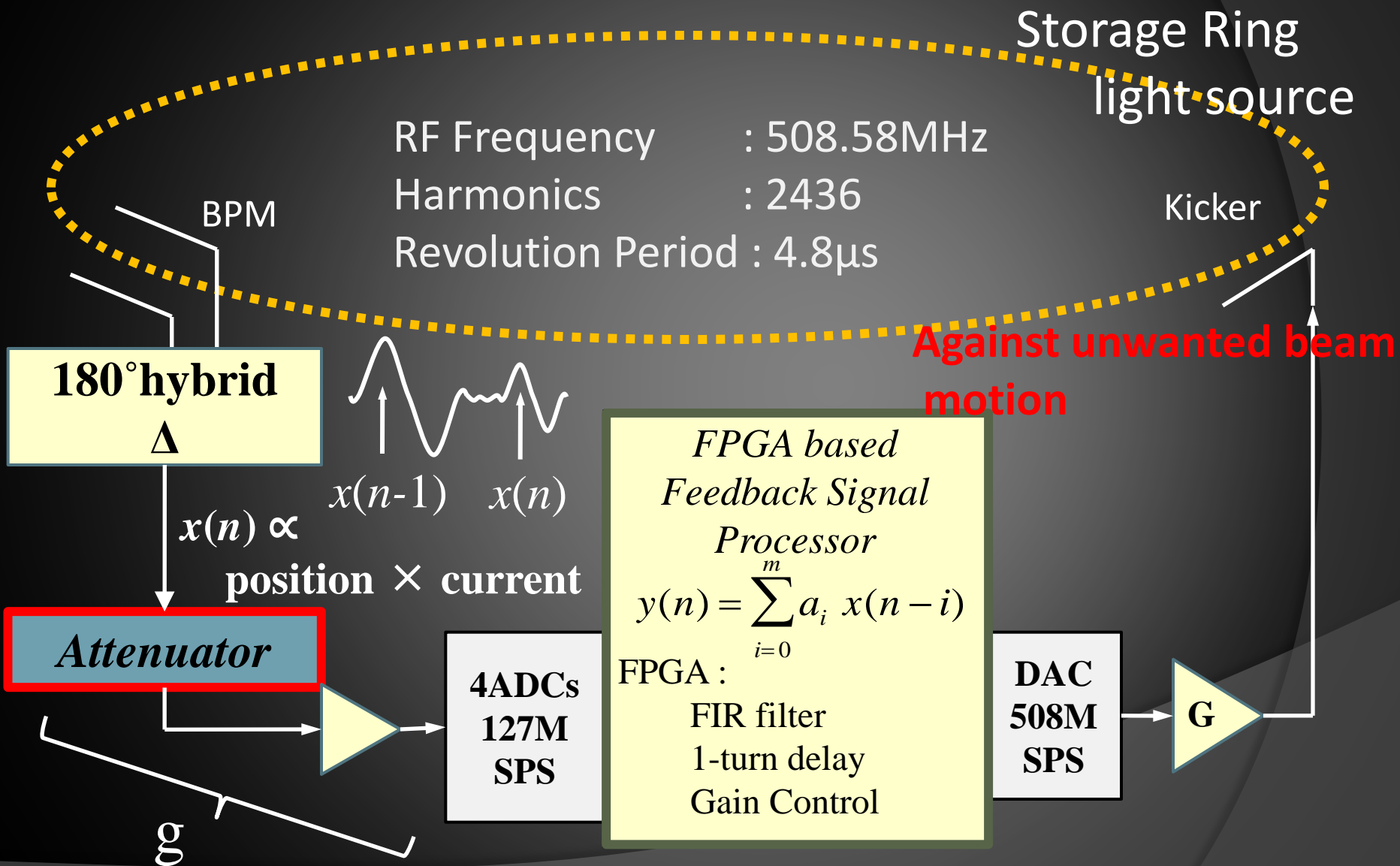


50倍のコントラスト

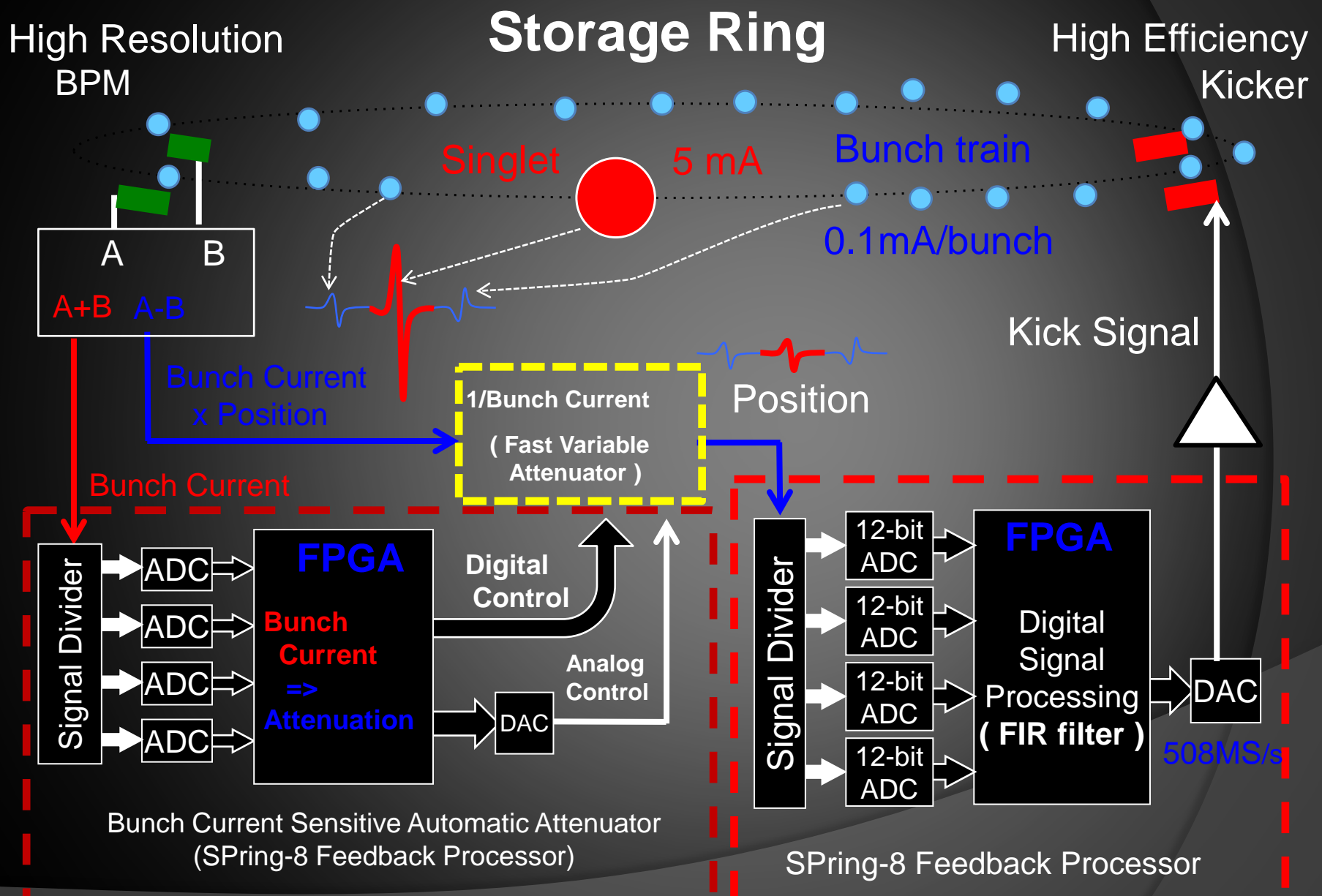
- トレイン部にADC入力レンジを合わせるとsingletで**飽和**
- SingletにADC入力レンジを合わせるとトレイン部で**ゲイン不足**

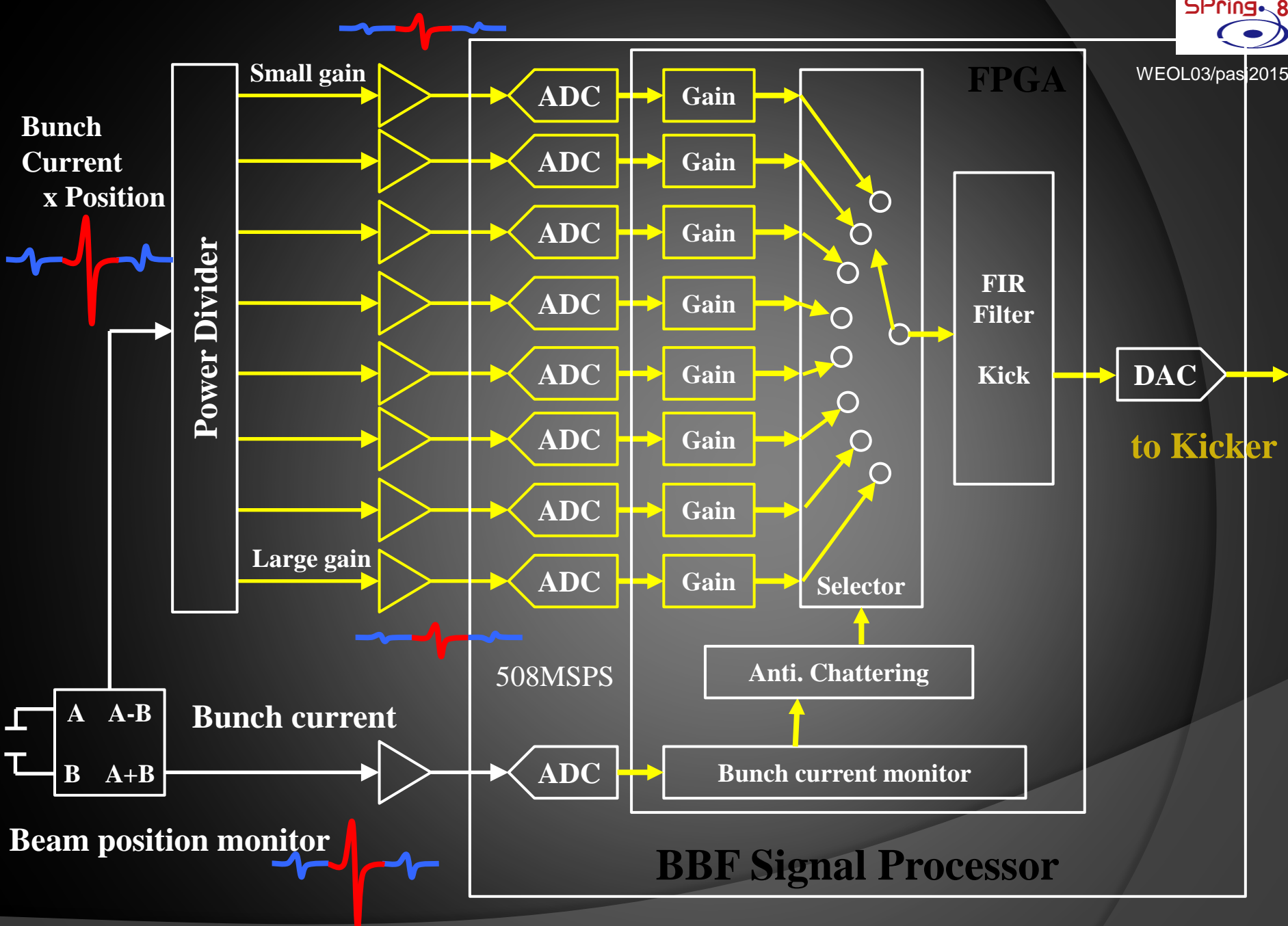


# SPring-8 Bunch-by-Bunch Feedback System

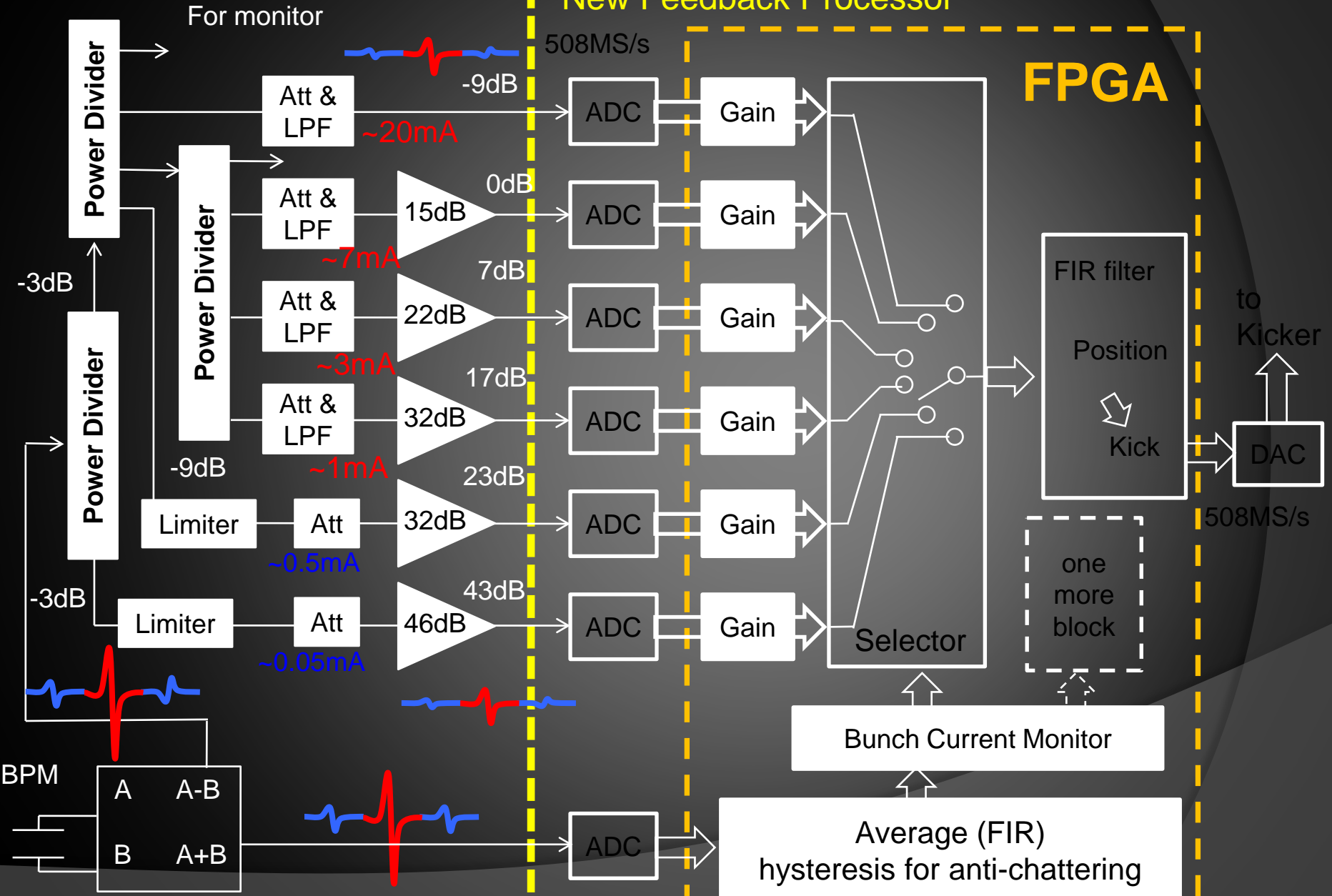


# Current System for Hybrid Filling with Two Signal Processors





# New Feedback Processor with Multiple ADCs and Bunch Current Monitor for Hybrid Filling



## 新規信号処理回路の仕様

- ✓ 300-tap以上のFIRフィルタ ← current system is 20 or 50-tap
- ✓ バンチ電流感応自動アッテネータ機能 ← current system : 別回路
- ✓ 10psecステップのDAC出力位置調整 ← current system is just only 4 ns step
- ✓ リアルタイムチューン測定機能
  - ❖ NCO (DDS) 内蔵 : チューン測定用信号発生器の統合
- ✓ 出力の延伸機能 : 大電流孤立バンチへの効率的なキック、長いキッカーの利用
- ✓ 外部周回信号との同期、1-turn信号の発生と外部利用
- ✓ DC output signal: other purpose besides BBF e.g. for LLRF I/Q modulator control
- ✓ ビーム振動を検出し、内部で出力をOFF/ON/反転
  - ❖ ビームを失うことなく不安定性の成長、抑制の状況を観測
- ✓ Ethernet I/F ← current system is USB only

### Key components of the New Signal Processor

#### ADC:

**ADS54RF63:** 12-bit / 550MSPS / 2.3GHz Input Bandwidth /  
Latency: 3.5 Clock cycles

#### FPGA : Two Virtex-7 & One Virtex-6

**XC7VX690T:** 3600 DSP Slices, for main feedback loop, signal processing

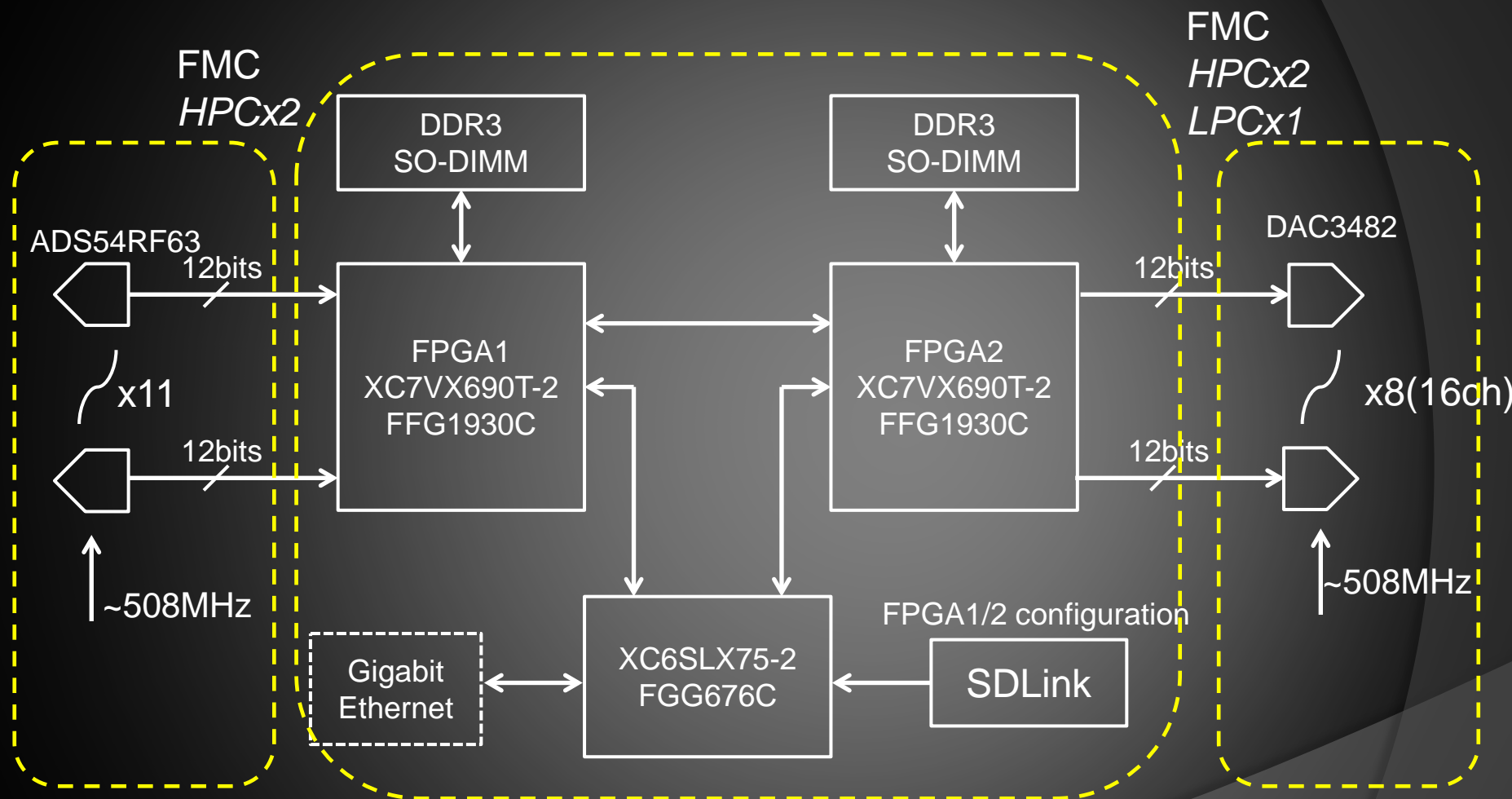
**XC6SLX75:** I/F to peripherals & boot sequence

#### DAC:

**DAC3482:** 16-bit(as 12-bit) / 2ch / 625MSPS

# New Feedback processor Block Diagram (2013 March)

□ 3枚の基板で構成、FMCコネクタで相互接続

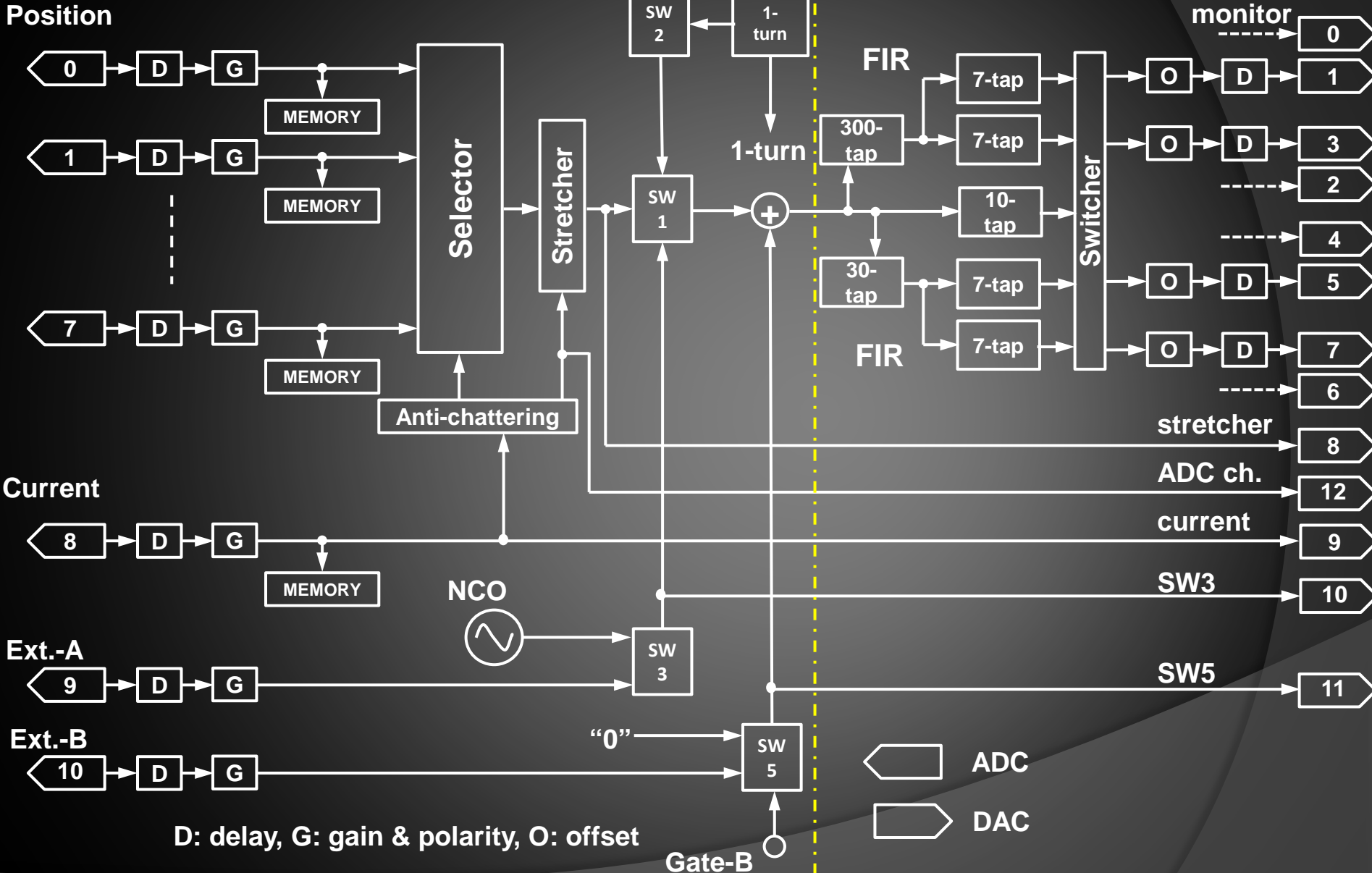


<http://www.design-gateway.com/SDLink.html>

# Function block diagram

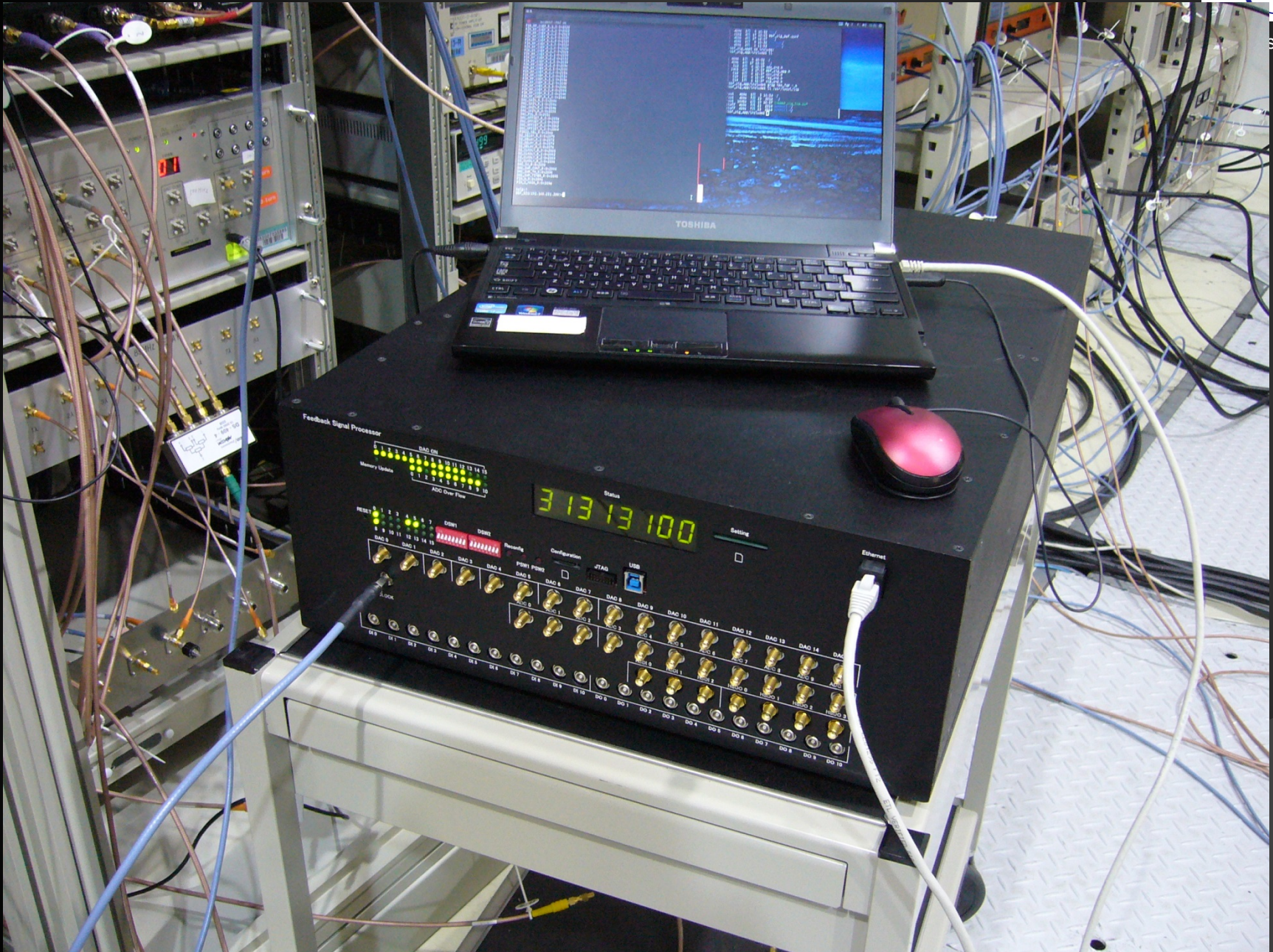
## FPGA1

## FPGA2



D: delay, G: gain & polarity, O: offset

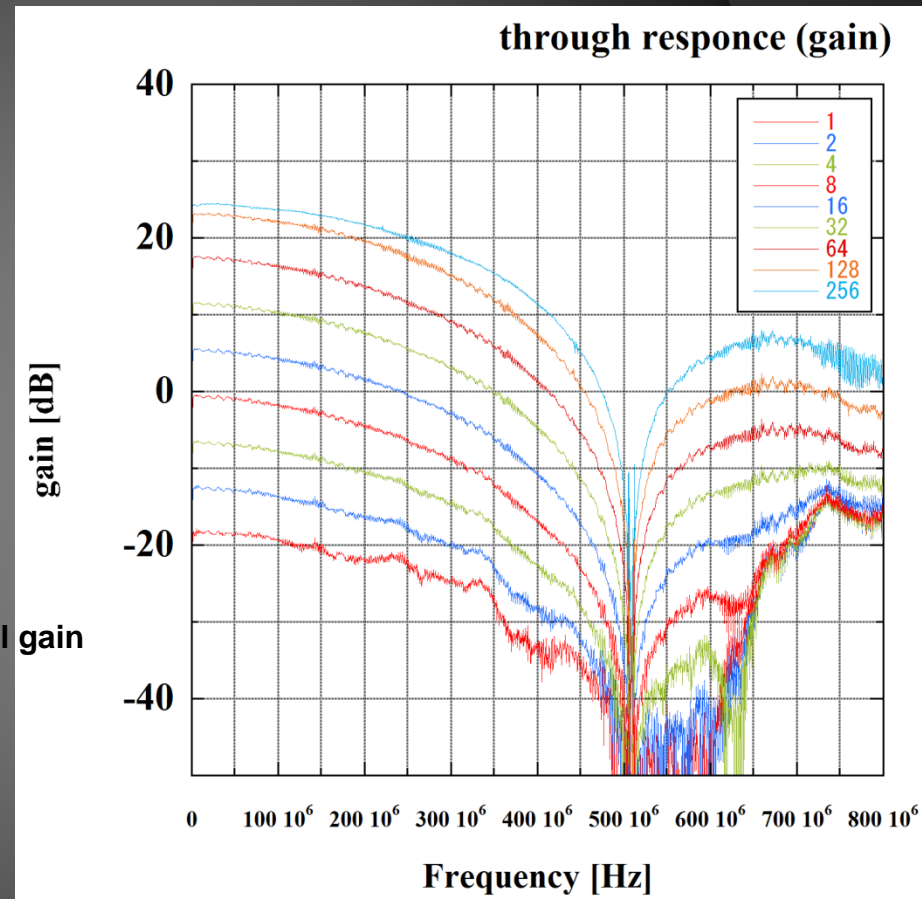
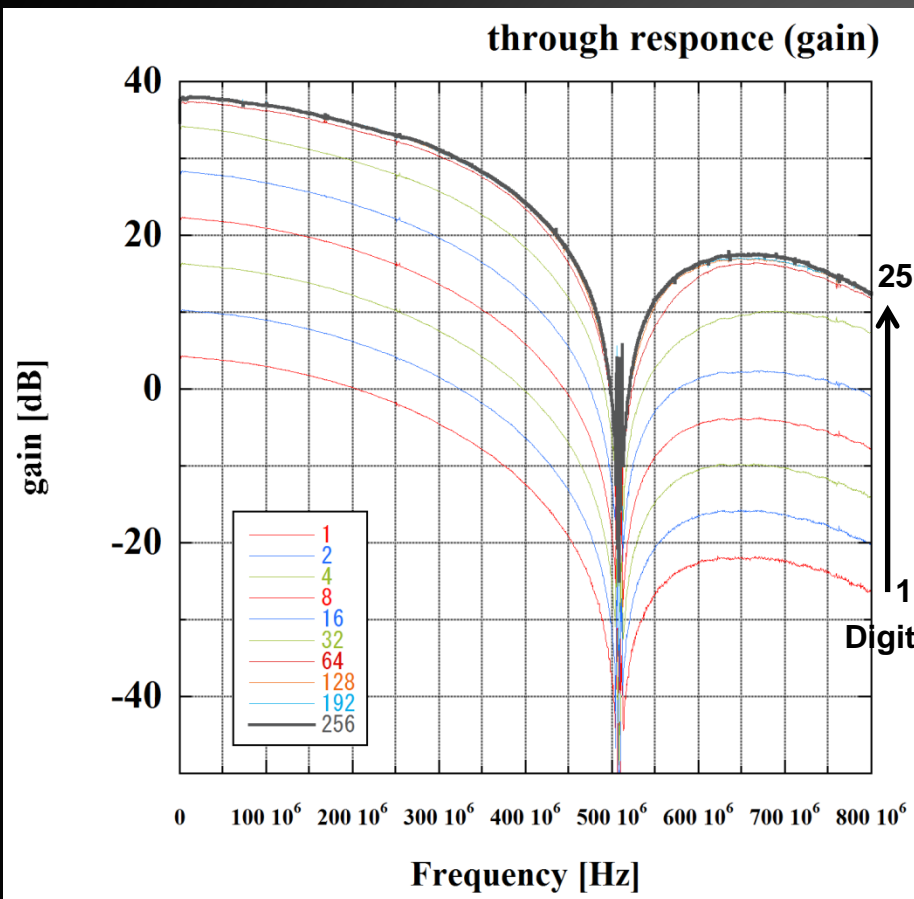
ADC  
DAC





## New(BBF-SIG-III)

## Current

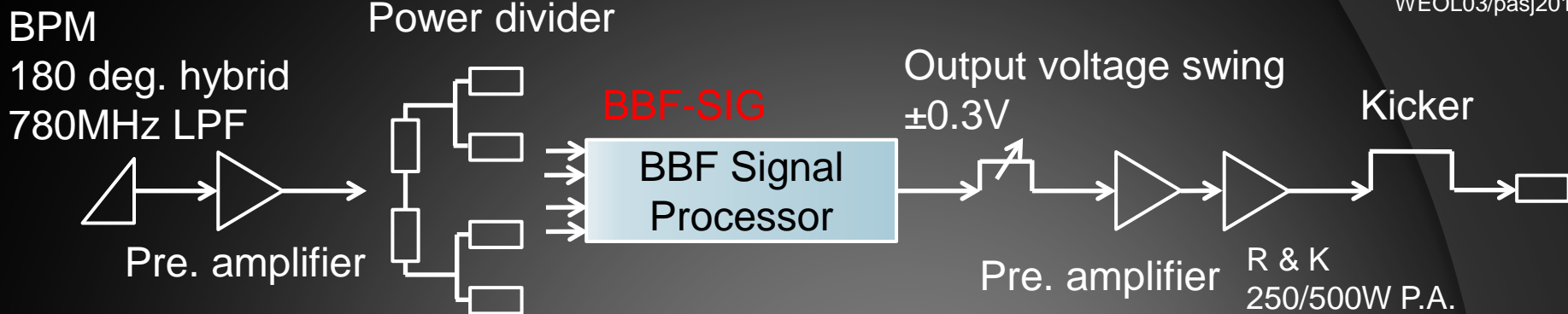


- New one has +6dB gain by ADC input/DAC output circuit etc.
- Current one has -16dB gain by divide into 4 inputs/DAC F.S. etc.

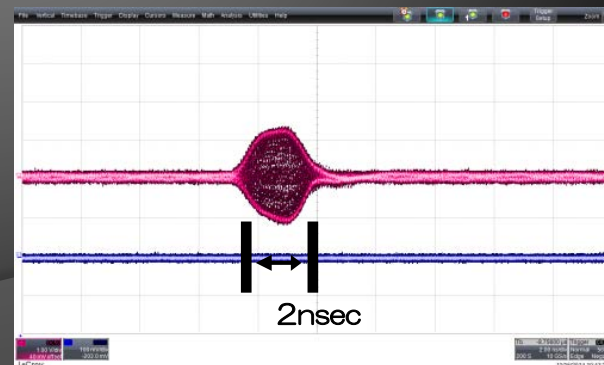
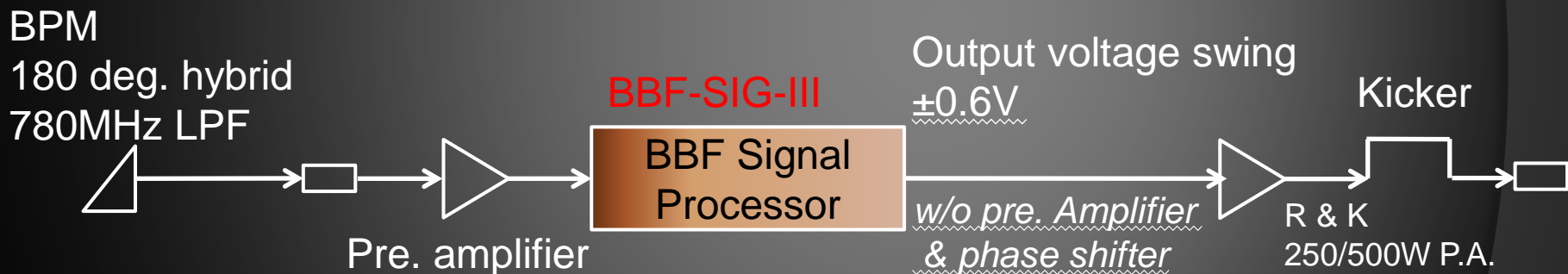
Difference of each divider cable length, individual differences of 4 ADCs ...  
(divide into 4 in case of current processor)

## Current system

## BBF LOOP

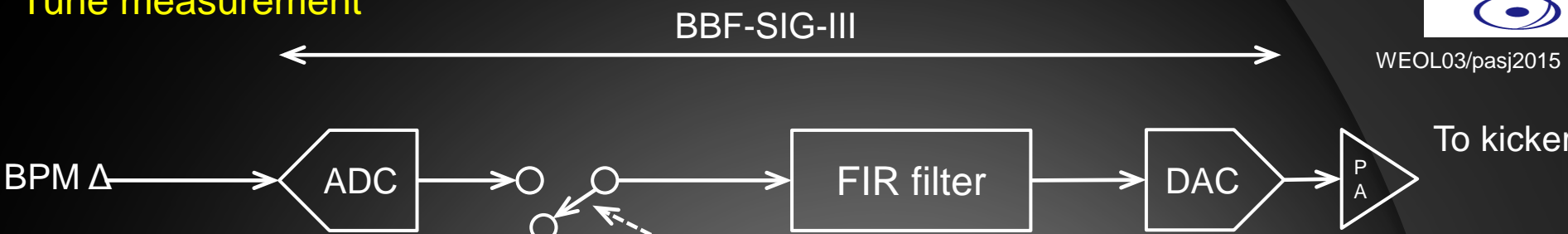


New system use *BBF-SIG-III* in place of current *BBF* signal processor



- ❖ ユーザー運転のフィリングを用い、IDギャップを閉じ、TopUp運転を模擬。ビーム運転に問題のないことを確認。（2015年4月）

# Tune measurement



ADC ±1.1V p-p

6.3msec / 30sec interval  
Just 1 bunch



## SG: swept sine wave

frequency : 228Kz → 258KHz (0.096- - > 0.24)

sweep time:3msec

amplitude : 700mV rms (990mV)

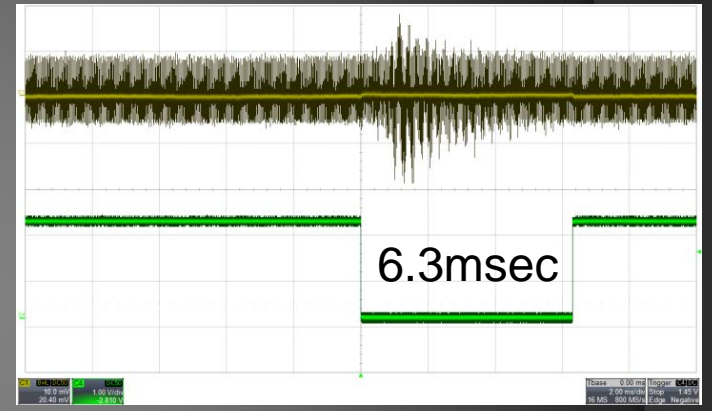
70mV ( 99mV)

10mV ( 14mV)

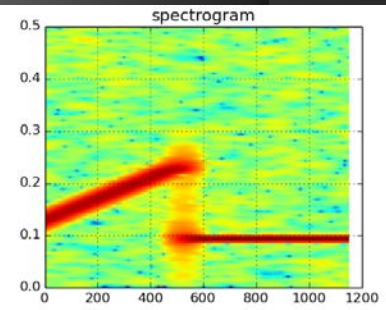
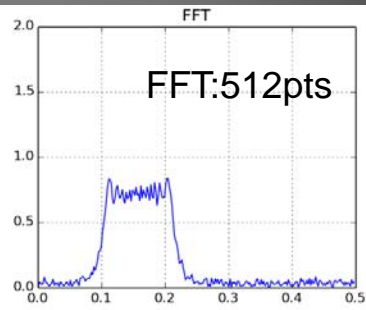
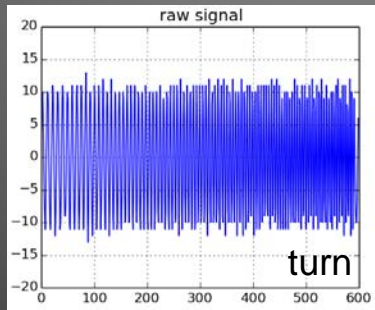
5mV ( 7mV) - - >>

BPM signal

trigger



## Drive signal



## ADC data Memory dump size

'1' => 1047552 x 1 / 2436 = 430 turn

'3' => 1047552 x 3 / 2436 = 1290 turn

'341' : ~ 700msec

Horizontal tune = 0.14 @SPRING-8

# Tune measurement

SG=700mVrmsでドライブした時の隣接バンチの状態

記録ターン数 : 1290

(~6.2msec)

FFT : 最初から1024個のデータを使用

Spectrogram : FFT256pts、overlap 250

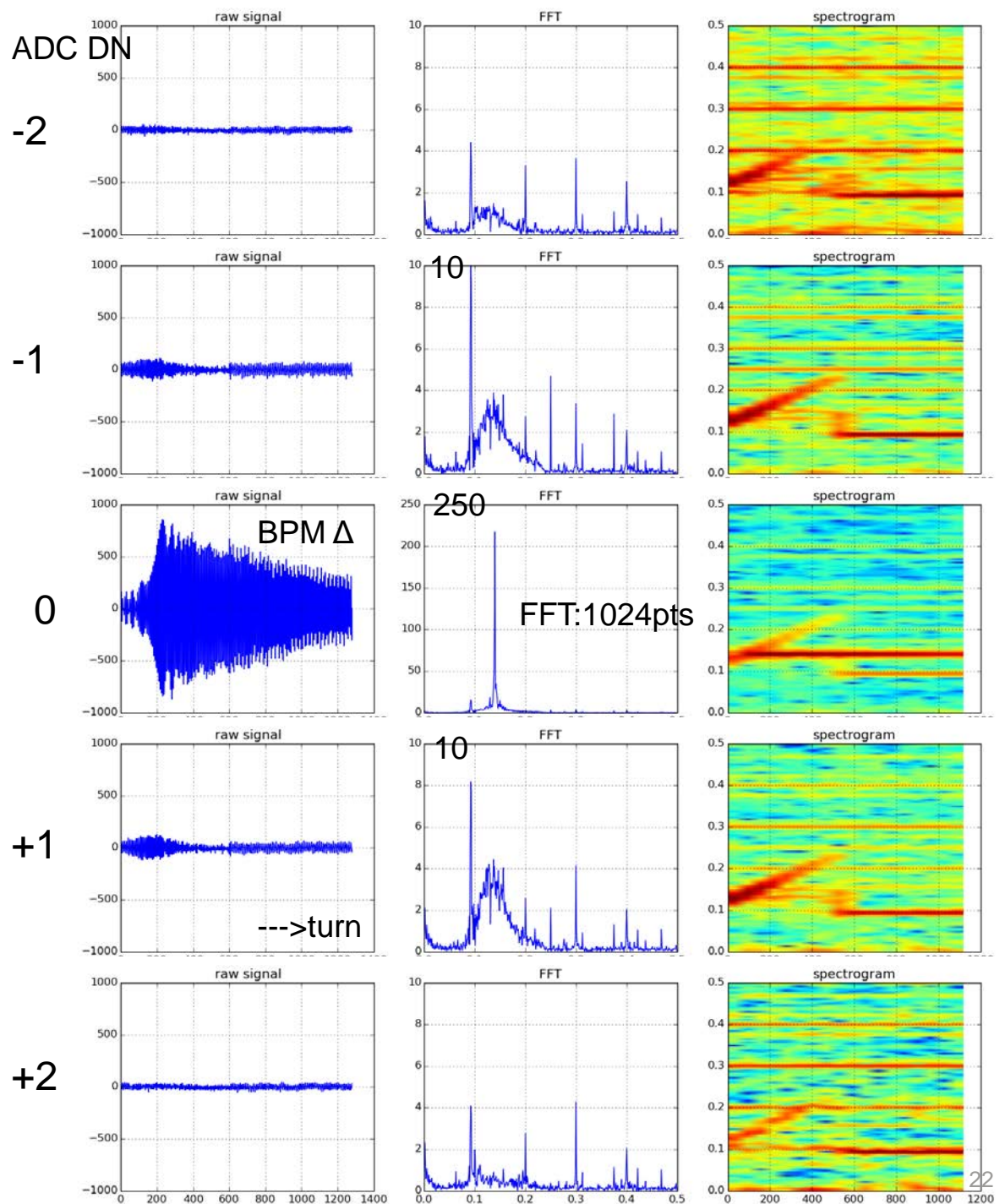
Sweep :

tune=0.096→0.24/3msec

Target bunch →

Filling : multi bunch

Bunch address	Current(mA)
-2	0.058037
-1	0.059108
0	0.068455
+1	0.074355
+2	0.076927



## Summary

### BBF信号処理回路の後継機を開発

1. BBFとしての基本機能を確認
  - ✓ ユーザー運転に適用できることを確認
2. 新機能の確認
  - ✓ BBFシステムとしての外付け回路の削減
    - a. 4分割入力不要
    - b. DAC出力調整（キック位置）フェーズシフタ不要、調整容易
    - c. DAC外付けアンプ不要
  - ✓ チューン測定機能
    - a. 外部アドレス同期機能
    - b. 1バケットのみを使用したリアルタイム&低デューティ測定

### to Do

- ✓ バンチ電流自動感応型アッテネータ機能
- ✓ 新回路に内蔵した機能を利用した不安定性の成長、抑制の観察（システム性能確認支援機能）
- ✓ 制御系整備

❖ 今年度後半には実際に配備できるまでに



DAC  
ADC  
D-I/O