

### 3.3 kV SiC-MOSFET を用いた誘導加速セルドライバーの開発

## DEVELOPMENT OF AN INDUCTION ACCELERATOR CELL DRIVER UTILIZING 3.3 KV SIC-MOSFETS

岡村勝也<sup>#, A), B), C)</sup>, 高山健<sup>A)</sup>

Katsuya Okamura<sup>#, A), B), C)</sup>, Ken Takayama<sup>A)</sup>

<sup>A)</sup> High Energy Accelerator Research Organization (KEK)

<sup>B)</sup> J-PARC Center

<sup>C)</sup> The Graduate University for Advanced Studies

#### Abstract

Pulse switching characteristics of newly developed 3.3 kV SiC-MOSFET were investigated and they were provided for a prototype switching power supply (SPS). With supply voltage of 2.5 kV and the load resistor of 100  $\Omega$ , rise time  $T_r$  and fall time  $T_f$  were 76 ns and 88 ns respectively. The SPS exhibited a successful 2.0 kV-25 A-50 kHz continuous mode operation without excess over voltage or temperature rise. Utilizing a voltage equalizing CR circuit, switching losses of each FET were also equalized. Moreover, 2.5 kV-20 A-1 MHz burst mode operation was confirmed.

#### 1. はじめに

誘導加速シンクロトロン(Induction Synchrotron: IS)は2006年にKEKで開発された[1]。ISにおいてはイオンは従来のシンクロトロンのように加速空洞に発生する高周波電界ではなく一種のパルストランスである誘導加速セルに発生するパルス電界によって加速される。誘導加速セルをドライブするのは高速、高電圧の半導体スイッチを用いた高繰り返しパルス電源(Switching Pulse Supply: SPS)である。

イオンは光速に近い速度でリングを周回するので SPS は MHz オーダーの周波数のパルス電圧を発生する必要がある。前述したように誘導加速セルは一種のパルストランスであるので鉄芯の飽和を防ぐために SPS は正負のパルスを交互に発生する必要があり、Hブリッジ方式の回路構成となっている。SPSの定格は略 2.5 kV-20 A-1MHz であり、小型高信頼性の SPS を開発することが IS の実用化のキー技術の一つである。

ISはその開発から今日にいたるまで、SPSはスイッチングデバイスとして、放熱・耐電圧性能を満たすため、SiのMOSFET (IXYS DE475 102N20A: 1 kV-20 A)をHブリッジの1アームあたり7直列にして用いていた。7個の素子はそれぞれに駆動回路と信号伝達用の光ケーブルを必要とするために必然的に装置の大型化を招き、さらには電圧分担調整の手間を要するなどの煩雑さが避けられなかった。そこで我々はより小型化したSPSの開発に着手するに至った。新SPSの開発にあたって着目したのは従来のSiデバイスに代わる次世代パワーデバイスとして期待されているSiCデバイスである[2][3]。

本開発の初期段階ではまずSiCパワーデバイスとしては当時一番開発の進んでいたSiC-JFETに着目し、SiC-JFET用のハイパワーパッケージを開発した[4]。さらにはこのデバイスを用いて実際のビームの加速にも成功した[5]。しかし、最近、より高性能の高電圧SiC-MOSFETの開発がめざましい[6][7]。そこで今回ローム株式会社に

よって開発された3.3 kVのSiC-MOSFETを入手し、その性能評価とSPS試作を行ったのでその結果を報告する。

#### 2. 試作デバイスのスイッチング性能

最初に素子単体のスイッチング性能を評価した。デバイスパッケージは通常のTO-247パッケージを流用しながらもピン周辺をモールドすることによって高耐圧性能を得られるようにしたものである。パルス通電性能は抵抗負荷を用いて評価された。Figure 1とFigure 2に直流電圧を2.5 kV固定とし、負荷抵抗を変えた時の電圧、電流波形とスイッチング損失特性を示す。負荷抵抗が220  $\Omega$ と100  $\Omega$ の時はオン電圧は極めて小さいが、50  $\Omega$ のような高負荷においてはオン電圧とスイッチング損失が急激に大きくなっていることがわかる。負荷抵抗が100  $\Omega$ の時の上昇時間 $T_f$ と下降時間 $T_r$ はそれぞれ76 nsと88 nsであった。

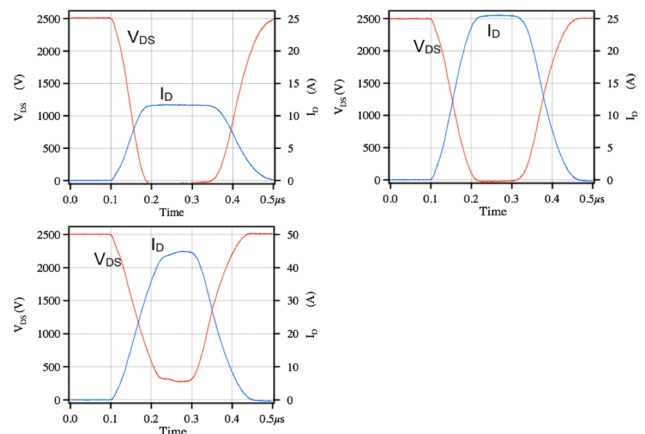


Figure 1: Switching waveforms of a prototype 3.3 kV MOSFET. Top left:  $R_L=220 \Omega$ , top right:  $R_L=100 \Omega$ , bottom:  $R_L=50 \Omega$ .

<sup>#</sup> #katsuya.okamura@j-parc.jp

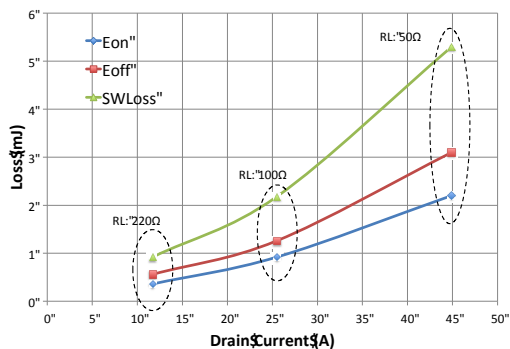


Figure 2: Switching losses ( $V_{DC}=2500$  V).

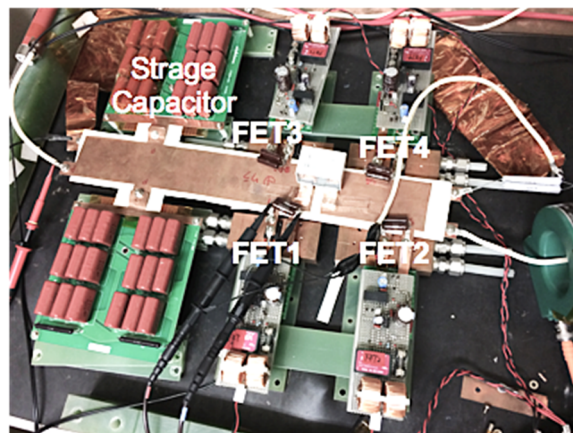


Figure 4: Actual view of the prototype SPS.

### 3. スイッチング電源の試作

#### 3.1 スイッチング電源の設計

供試された MOSFET を用いて H ブリッジ構成のパルス電源を試作した。概略の回路図を Figure 3 に、外観を Figure 4 に示す。MOSFET は水冷ヒートシンクにマウントされ、入出力及びデバイス間の接続はノーメックス紙®によって絶縁された積層構造の銅板によって行っている。

#### 3.2 単発スイッチング波形

直流電圧を 2 kV とし、正負各1パルスを出したときの FET2のドレイン-ソース間電圧  $V_{DS}$ 、ドレイン電流  $I_D$ 、SPS 出力電流波形を Figure 5 に示す。負荷抵抗は 80  $\Omega$  である。SPS の動作シーケンスは初期状態で 1)全 FET オフであり、この時  $V_{DS}$  は直流電圧の 1/2、 $I_D$ 、出力電流は共に 0 である。次に 2)FET1 と FET4 オン状態となって正の出力電流が流れる。この時 FET2 の  $I_D$  は 0 の筈であるが、実際には浮遊キャパシタを経由したと思われる振動電流が観測されている。そして 3)全オフとなり、次に 4)FET2 と FET3 がオンとなって  $I_D$  が流れ負の出力電流が発生し、最後に 5)全オフとなる。

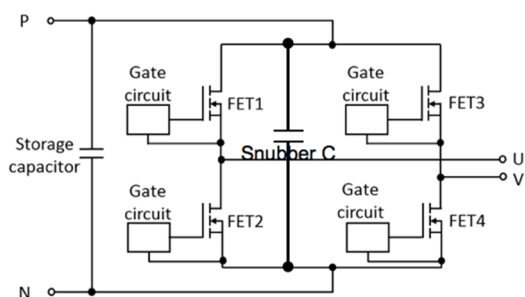


Figure 3: The circuit diagram of the switching power supply.

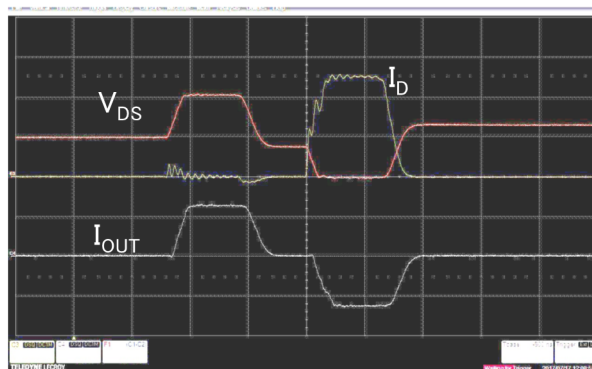


Figure 5: Switching waveforms and out current waveform of the prototype SPS at  $V_{DC}$  of 2 kV (single shot).  $V_{DS}$ : 1 kV/div.,  $I_D$ : 10 A/div.  $I_{out}$ : 20 A/div. 200 ns/div.

各過程における FET2 の電圧は理想的には 1)の時は直流電圧の半分の 1 kV、2)では全直流電圧、3)では 1kV、4)ではオン電圧のみ、5)では 1 kV となるはずである。しかし、実際には 3)では 1 kV より低く、5)では 1 kV より高くなっていることがわかった。これはスイッチング時の過渡現象では抵抗のみで決まる直流分担だけでなく浮遊静電容量も考慮せねばならないことを示している。試作 SPS は前項で述べたようにその配線を積層構造の銅板を用いているがその積層順序は上から P 母線、N 母線、V 母線、U 母線の順であり、そのため P-N 間、N-V 間、V-U 間に大きな浮遊静電容量を持つことになる。これらの内、P-N 間と V-U 間の静電容量は回路全体の中で対称であるため、電圧分担に影響を与えようとは考えにくい、N-V 間の静電容量は非対称成分となるため、分担電圧に影響を与えようと考えられる。計算によると N-V 銅板間の静電容量は 170 pF である。そこで P-U 間に 150 pF と 110  $\Omega$  の直列回路を挿入して補正することを試みた。ここで抵抗を直列に挿入したのは FET1 のスイッチング損失増大を防止するためである。結果を Figure 6 に示す。この結果より CR の追加によって過渡分担電圧が改善されたことがわかる。

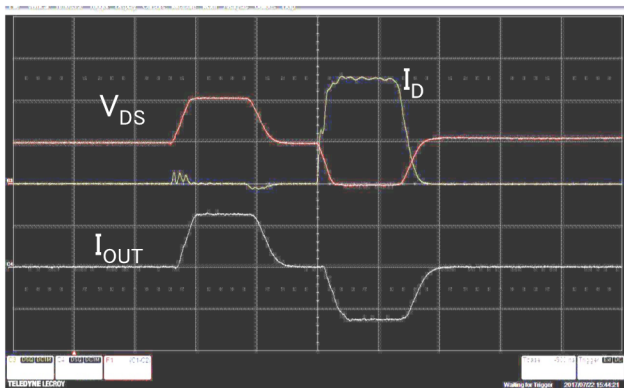


Figure 6: Switching waveforms and out current waveform of the prototype SPS with a voltage equalizing capacitance at  $V_{DC}$  of 2 kV (single shot).  $V_{DS}$ : 1 kV/div.,  $I_D$ : 10 A/div.  $I_{out}$ : 20 A/div. 200 ns/div.

次にこれをSPICE回路シミュレーションで確認した。シミュレーション回路を Figure 7 に示す。このシミュレーションにおいてMOSFETは新たにレベル3のSPICEモデルを作成し、ゲート回路はLTSPICE標準のパルス電圧源を使用した。CR回路の無い場合のシミュレーション結果を Figure 8 に、CR回路を追加した場合の結果を Figure 9 に示す。MOSFETのモデルはさらなる改良が必要と考えられるが、スイッチング時の分担電圧については実測とよく一致することが確認された。

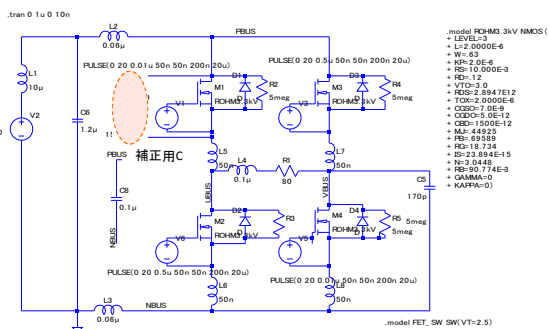


Figure 7: SPICE Simulation Circuit.

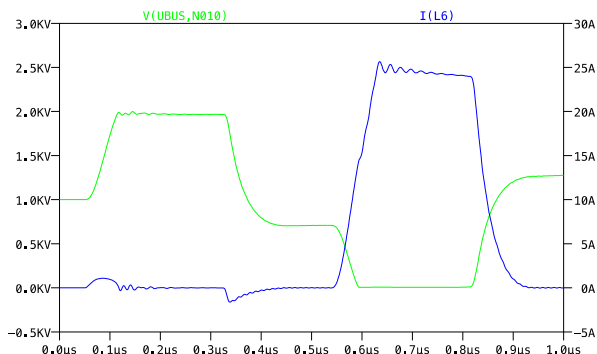


Figure 8: Simulation Result without Voltage Equalizing Capacitor.

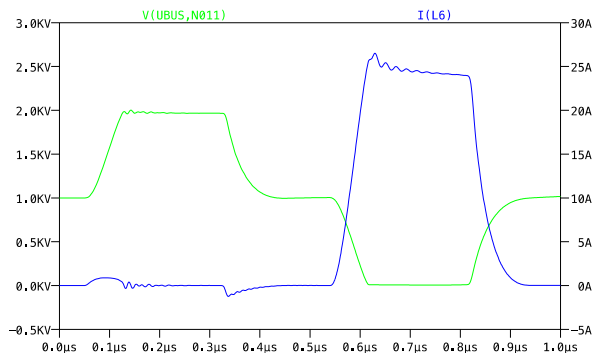


Figure 9: Simulation Result with Voltage Equalizing Capacitor.

### 3.3 2 kV-50 kV 連続運転

次に試作SPSを連続動作させてみた。前節で述べた電圧補正用の(ケース1)CRを付けない場合、(ケース2)Cの値を150 pFとした場合、(ケース3)206 pFとした場合(Rはいずれも110  $\Omega$ )のFET1~FET4のドレインソース間電圧( $V_{DS}$ )波形を Figure 10、Figure 11、Figure 12 にそれぞれ示す。単発スイッチングにおいては150 pFで十分な補正効果が得られていたが、連続動作においては206 pFでもまだ十分とはいえない。この差異の原因は不明であるが、連続動作によってコンデンサの容量が変化した可能性がある。

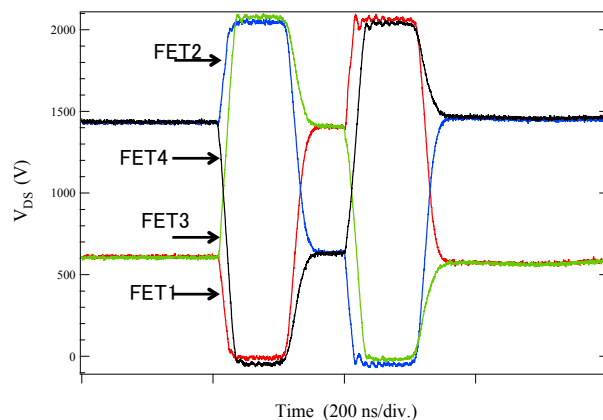


Figure 10: Switching waveforms of each FET during 50 kHz operation with dc voltage of 2 kV without voltage equalizing CR circuit.

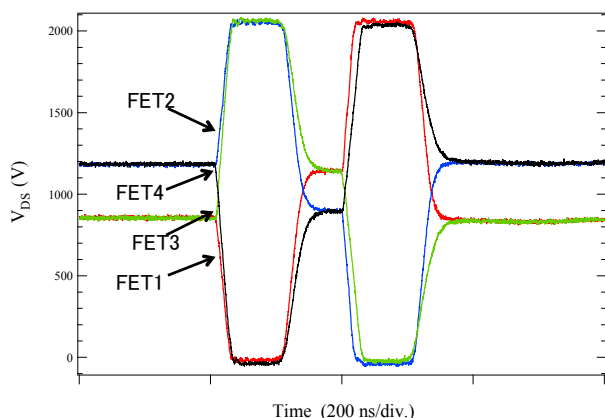


Figure 11: Switching waveforms of each FET during 50 kHz operation with dc voltage of 2 kV with voltage equalizing CR circuit (C: 150 pF, R: 110Ω).

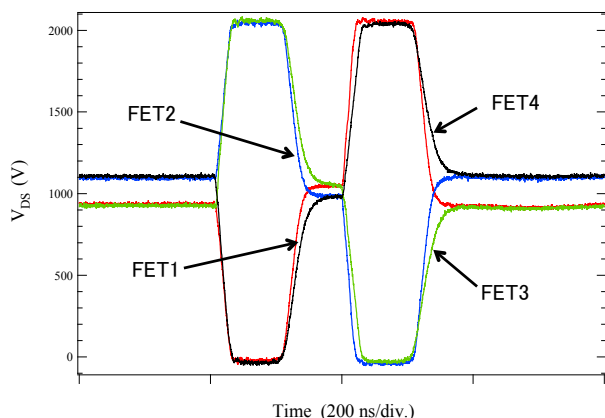


Figure 12: Switching waveforms of each FET during 50 kHz operation with dc voltage of 2 kV with voltage equalizing CR circuit (C: 206 pF, R: 110Ω).

ケース1～3のそれぞれについて連続運転中の温度上昇を測定した。測定点は FET1、FET2のケース温度、SPS 冷却水の出口温度である。結果を Table 1 に示す。Table 1 において VDS1 としているのは動作中の FET1 と FET4 のペアがターンオンする直前の各 FET のドレインソース間電圧であり、VDS2 としているのは FET2 と FET3 のペアがターンオンする直前の各 FET のドレインソース間電圧である。

上にもものべたように C の値を大きくするほど電圧分担が改善されていることが明らかであるが、その一方で FET1とFET2の温度上昇が大きくなっている。

Table 1: Drain-Source Voltage of FETs and Temperature Rise during 50 kHz Operation

	V <sub>DS1</sub> (V)		V <sub>DS2</sub> (V)		温度上昇 (K)		
	FET1 FET3	FET2 FET4	FET1 FET3	FET2 FET4	FET1	FET2	水出口
CR なし	600	1430	1410	630	3.6	2.5	1.6
150 pF+110 Ω	850	1190	1150	900	3.8	2.9	1.1
206 pF+110 Ω	930	1110	1050	980	5.0	3.6	1.4

これは C の値を大きくした時、FET1、FET2ともにターンオン前のドレインソース電圧が増加する方向に変化し、ターンオン損失が増加したためと考えられる。今回 FET3 と FET4の温度を測定することができなかったが、これらは逆に損失は低下したと思われる。実際に水出口温度の上昇はやや低下する傾向であったことから全体損失は減っているのではないかと考えられる。

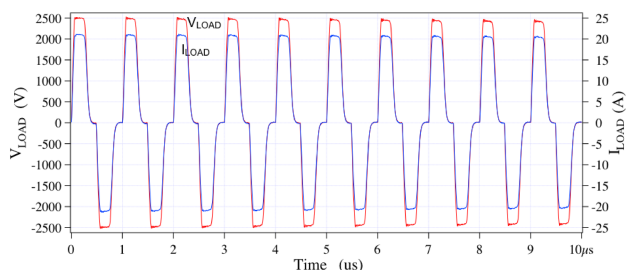


Figure 13: Output voltage and current waveforms at 1 MHz burst mode operation.

### 3.4 2.5 kV-1 MHz バースト運転

試作した SPS を目標の繰り返し周波数である 1MHz で連続運転した場合、その損失は 1 素子あたりで数 100 W にもなり、ケース温度上昇も 100 K をはるかに超えてしまう。したがってその実現のためには素子を並列接続するかあるいは高放熱の新型パッケージを開発する必要がある。しかし、加速器の運転においては常に最高周波数で運転する必要はなく、加速電圧も一定ではない。そのようなモードでの運転も考慮し、1 MHz のバーストモード運転も試みた。Figure 13 に直流電圧を 2500 V、負荷抵抗を 120 Ωとした時の 1 MHz バーストモード運転波形を示す。

## 4. まとめと今後の展望

新開発の 3.3 kV SiC-MOSFET のスイッチング特性が調査され、同素子を用いてスイッチング電源 (SPS) を試作した。試作した SPS は 2 kV-50 kHz の連続運転と 2.5 kV-1 MHz のバーストモード運転を実証したが、温度的にはまだ余裕があり、今後さらに高繰り返し (> 100 kHz) の連続運転にも挑んで行く考えである。この成功はガン治療用の高繰り返しハドロンドライバー [8]、ジャイアントクラスターイオン慣性核融合ドライバー [9] 等の今後建設されるであろう各種の誘導加速方式の加速器への適用を期待させるものである。さらには両面冷却方式の高放熱パッケージ [10] が開発されれば 1 MHz 以上の連続動作可能な加速セルドライバーも実現可能になるであろう。



## 謝辞

本研究の遂行にあたり、ローム株式会社より SiC-MOSFET の提供を受けたことに対し感謝申し上げます。

## 参考文献

- [1] K. Takayama *et al.*, Phys. Rev. Lett., 98, no.5, pp.054801(1)-054801(4) (2007).
- [2] H. Okumura, Japanese J. Appl. Phys. vol.45, no.10A, pp. 7565-7586, Oct. 2006.
- [3] K. Shenai *et al.*, IEEE Trans. Electron Devices, vol. 36, no. 9, pp. 1811-1822, Sep. 1989.
- [4] K. Okamura *et al.*, IEEE Trans. Plasma Sci., vol.40, no.9, p. 2205 (2012).
- [5] K. Okamura *et al.*, IEEJ Trans. FM., Vol. 134, pp. 402-409, 2014.
- [6] S. Mori *et al.*, Proc. of the 2016 28th ISPSD, June 12-16, 2016, Prague, Czech Republic.
- [7] T. Tsuji *et al.*, Materials Science Forum, Vol. 858, pp. 962-965, 2016.
- [8] Leo K.W. *et al.*, Phys. Rev. ST-AB 19, 042802 (2016).
- [9] K. Takayama *et al.*, Phys. Rev. ST-AB 18, 050101 (2015).
- [10] K. Okamura *et al.*, Material Science Forum 778-780, pp. 883-886 (2014).