

バンプ電磁石電源のトリップ追従システムの開発

DEVELOPMENT OF FORCED SYNCHRONOUS TRIP SYSTEM OF BUMP MAGNET POWER SUPPLIES

柳岡栄一[#], 岡村勝也, 上窪田紀彦, 木村琢郎, 富澤正人, 武藤亮太郎, 村杉茂
Eiichi Yanaoka [#], Katsuya Okamura, Norihiko Kamikubota, Takuro Kimura, Masahito Tomizawa,
Ryotaro Muto, Shigeru Murasugi
High Energy Accelerator Research Organization (KEK)
Accelerator Laboratory

Abstract

At J-PARC MR Slow Extraction, Dynamic Bump System is implemented to reduce the beam loss. Bump orbit is built with four bump magnets and power supplies. The Trip of one power supply cause critical beam loss. For preventing this loss, we develop the forced synchronous trip system. When one power supply trip, the system make others stop output immediately.

1. システムの必要性

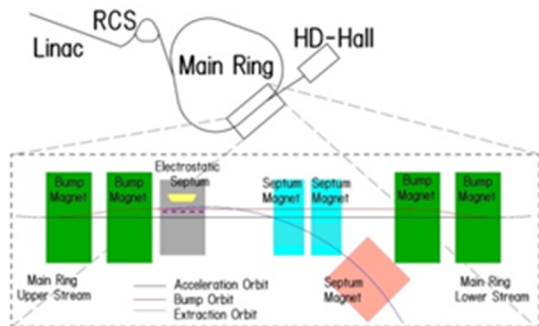


Figure 1: Component of slow extraction.

J-PACR 主リング遅い取出しでは、バンプ軌道を形成し1/3 共鳴でビーム取出しを行っている。バンプ軌道は、遅い直線部の両端に 2 台ずつおいているバンプ電磁石によってつくられている。(Figure 1)バンプ電磁石は、二極の電磁石で、磁場によりビーム軌道を水平方向に曲げている。4 台のバンプ電磁石は、上流から Bump1、Bump2、Bump3、Bump4 と呼ばれていて、それぞれ個別の電源によって励磁される。遅い取出しについては[1]、[2]参照。

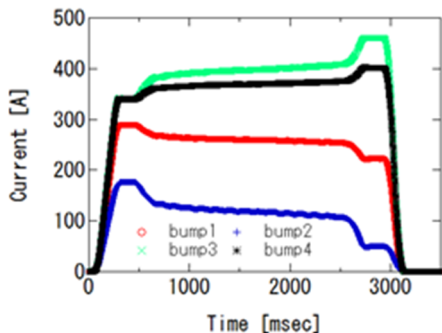


Figure 2: Current pattern of bump magnets.

遅い取出しは、2017 年現在 5.52 秒周期でおこなわれている。RCS から入射された陽子が 30GeV まで加速されたあと、バンプ軌道がつくられ取出しが始まる。遅い取出しは、約 2 秒間出射している。バンプ電磁石の励磁電流の概形は Figure 2 のようになっている。バンプ電磁石については[3]、[4]参照。

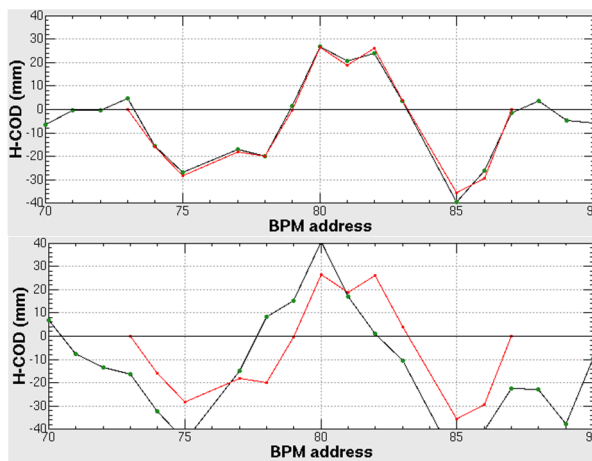


Figure 3: Bump orbits.

Figure 3 上図の黒線は正常なときのバンプ軌道であり、赤線は目安となる軌道である。下図の黒線は、Bump3 の電源がトリップし正常な軌道よりずれ始めた様子で、リングの内側と外側に膨らんでいる。対策されなければ、周回している粒子はすべて失われてしまう。4 つのうちどの電源のトリップなのかと、それが起こるタイミングにより、上流から Bump2 のすぐ下流にある静電セパタムに損傷をあたえる可能性がある。これを防ぐために 1 台がトリップした時に他の 3 台の出力を瞬時にとめるシステムが必要となる。

[#] eiichi.yanaoka@kek.jp

2 PLC を使ったシステム構築

バンプ電磁石電源がトリップしたとき、電流の減少する速さは 100A あたり約 10msec である。取出しが行われているとき Bump1、Bump2、Bump3、Bump4 は、それぞれ 250~300 A、150~200 A、350~400 A、350~400 A 程度の電流が流れている。よって数 msec で追従させれば、はじめにトリップした電源の出力電流が 0 になる前に他の 3 台の電源の出力電流の降下を始められ、ビームロスの抑制効果が充分期待できる。

バンプ電磁石電源には PLC がついていてそれをとおして制御している。その PLC が一通りの制御を行う時間(ラダープログラムの繰り返し)は、1 msec である。これは、PLC を使ったすべての制御やエラー処理が 1 msec に 1 回行われるということである。よって PLC を使えば、大幅な電源の改造をせず目的のシステムをつくれるであろう。PLC を使った方法はつぎの 3 つが考えられる (Figure 4)。

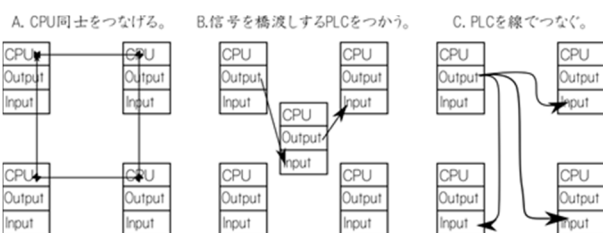


Figure 4: Method for connect among PLC.

2.1 A. CPU 同士をつなげる

各電源についている PLC をリンクさせる等の方法で、メモリを共有することである。CPU1 台で、4 台分の PLC モジュールを制御する使い方もある。メモリを共有する方法が一番信号を速く伝えられそうである。しかし 3 つの方法の中では一番大改造で、プログラムをすべて作り直しかつモジュールの交換も必要となってくるかもしれない。4 台を 1 台の大きな装置として扱うこの方法は、電源間の信号のやりとりでのトラブルが起きたとき、対処が容易ではないことが考えられる。この問題を重視し A 案は不採用とした。

2.2 B. 信号を橋渡しする PLC を使う

各電源の中間に PLC をおいて、各電源からの MPS 信号を入力する為の配線と各電源に停止信号を送るための配線をする。各電源から集められた MPS 情報を見て、止めるべき電源へ停止信号をおくる。この方法は電源や電源についている PLC に手を加えずシステムを構築することができるが、中間の PLC が入ることで中継する機器が多くなり速度面では不利になる。電源を改造せずに済むため、まずこの方法で試験することにした。

Figure 5 は試験の様子であり、電源筐体内の PLC から卓上に置かれた PLC に集められた信号を、各電源の外部インターロック接続端子に送っている様子である。

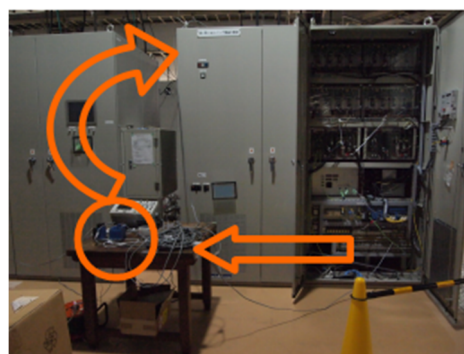


Figure 5: Repeater set between PLC.

中継の PLC に使ったのは手近にあった横河電機製のもので、その構成を Figure 6 に示す。電源の MPS 出力を、F3XD16 か F3XH04 で受取り、F3Y08 から停止すべき電源の外部インターロックへ停止信号を送った。

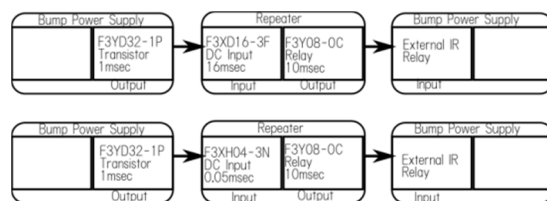


Figure 6: PLC module placement.

試験の方法は、4 台の電源を通电した状態で 1 台の電源のブレーカーを強制的に切る。その時の 4 台の出力電流を測定し、追従の速さを見ることができる。その結果を Figure7、Figure8 に示す。

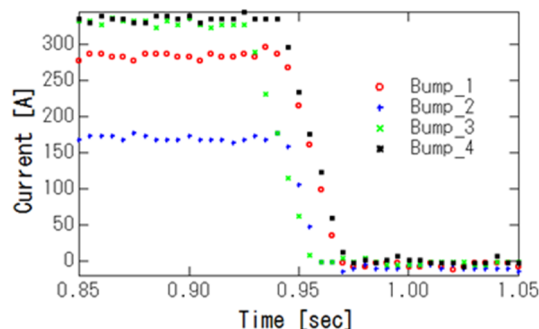
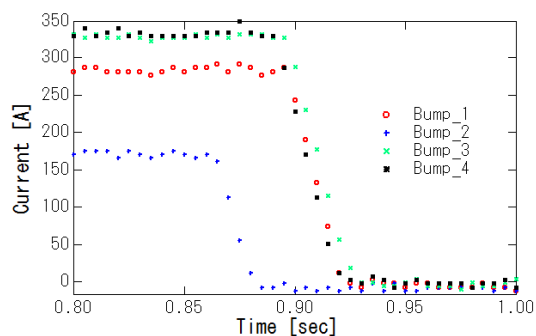


Figure 7: Following current pattern.

中継の入力に汎用の F3XD16 を使ったときの遅れは約 30 msec、高速入力用の F3XH04 を使った場合は、約 15 msec である。バンプ電源の外部インターロック入力は接点入力で、各電源への停止信号はリレーを使っている。リレーでの出力は数 msec の遅れを生じる、中継させていることも数 msec の遅れの理由となっていると考えられる。電源に電圧入力またはトランジスタ接点の入力モジュールを追加し、さらに中継なしに直接信号を送ることで 15 msec の遅れが半分以下にはなるのではないかと思われる。

2.3 C. PLC を線につなぐ

この方法は中継の遅れを考慮する必要はないが、電源本体の PLC のプログラムを書き換える必要がある。ただし A の CPU 同士をつなげる方法とくらべプログラムの変更はほんの一部である。停止信号を受けるために高速モジュールを電源に追加し、接点入力に比べて数 msec 速く信号を伝えることができる。

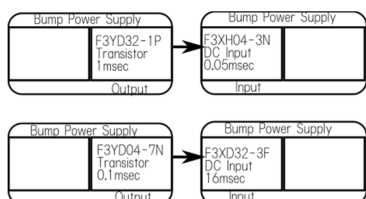


Figure 8: PLC module placement.

追従の入出力のモジュールの構成を Figure 8 に示す。J-PARC MR では F3YD04 を使用している機器がなく、B の試験で F3XH04 の動作確認できたので、各電源に高速入力のための F3XH04 を追加する方法を採用した。

B の方式と時と同じようにバンプ電源のブレーカーを強制的に切り、追従の速さを測定した。

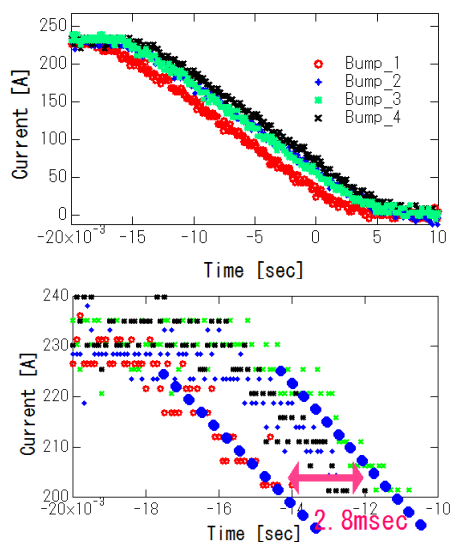


Figure 9: Following current pattern.

Figure 9 は、Bump1 の電源を停止させて、Bump2~4 の追従をみたものである。Bump2~4 を停止させ測定した出力電流の遅れを Table 1 に示す。

Table 1: Following Delay

	unit:msec			
	Bump1	Bump2	Bump3	Bump4
Bump1(Digital)	0	2.1	2.4	3.5
Bump2(Digital)	2.3	0	2.3	3.2
Bump3(Digital)	1.5	1.8	0	2.8
Bump4(Digital)	3.3	2.5	3.3	0
Bump1(Analog)	0	1.7	3.3	2
Bump2(Analog)	2.4	0	2.5	1.6
Bump3(Analog)	3.3	2.8	0	2.8
Bump4(Analog)	1.7	1.9	1.6	0

バンプ電磁石電源には、メモリに記録されたパターンを電流出力する Digital Mode とリアルタイムに電圧入力されるパターンを電流出力する Analog Mode がある。

Table 1 の左端の列は、強制的にトリップさせる電源とそのモードが書いてあり、その横の数値は各電源の遅れを示している。おおむね 3 msec に収まっておりこの方式をビーム運転に使えば、かなりビームロスが抑えられると考えられる。そして、このシステムを 2017/4 から導入した。

3. まとめと改良

2017/6/3 に、加速器運転中 Bump3 の電源がトリップし追従システムが作動した。そのときのビーム電流が Figure10 の shot78066 である。システムがなかったならばすべての粒子が無くなっていただろうが、15%のロスで収まっている。

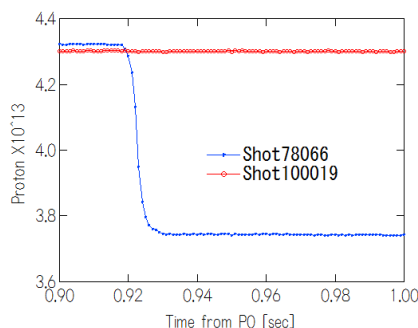


Figure 10: Beam current operating system.

しかし翌日再び Shot100019 で Bump3 のトリップしたとき、ビーム電流は維持されていて、ロスがまったく発生していない。BPM によるビーム軌道の時間変化を確認すると Shot78066 では Shot100019 とくらべ追従の遅れが、15 msec 以上大きいと推測される。その原因について現在調査中である。

参考文献

- [1] M.Tomizawa *et al.*, "Present Status and Future Plans of J-PARC Slow Extraction", PASJ2016, p74.
- [2] M.Tomizawa *et al.*, "Approach for High Intensity Slow Extraction from J-PARC Main Ring", PASJ2012, p80.
- [3] E.Yanaoka *et al.*, "Development of Dynamic Bump System for J-PARC Slow Extraction", PASJ2011, p403.
- [4] E.Yanaoka *et al.*, "Development of J-PARC MR Bump Magnet for Slow Extraction", PASJ2008, p361.