

# J-PARC 主リングでの RFSoC ベースのイントラバンチフィードバックの開発: 設計と初期評価

## DEVELOPMENT OF NEW RFSoC BASED INTRA-BUNCH TRANSVERSE FEEDBACK SYSTEM AT J-PARC MR : DESIGN AND INITIAL EVALUATION

中村 剛<sup>#, A)</sup>, 佐藤 健一郎<sup>A)</sup>, 外山 毅<sup>A)</sup>, 岡田 雅史<sup>A)</sup>, 小林 愛音<sup>A)</sup>,  
 山田 逸平<sup>B)</sup>, 菖蒲田 義博<sup>B)</sup>

Takeshi Nakamura<sup>#, A)</sup>, Kenichirou Satou<sup>A)</sup>, Takeshi Toyama<sup>A)</sup>, Masashi Okada<sup>A)</sup>, Aine Kobayashi<sup>A)</sup>,  
 Ippei Yamada<sup>B)</sup>, Yoshihiro Shobuda<sup>B)</sup>

<sup>A)</sup> High Energy Accelerator Research Organization (KEK) / J-PARC

<sup>B)</sup> Japan Atomic Energy Agency (JAEA) / J-PARC

### Abstract

The new transverse feedback system for the J-PARC Main Ring (MR) is currently under development. The J-PARC MR is a proton synchrotron that accelerates proton beams from 3 GeV to 30 GeV. The transverse feedback system suppresses beam instabilities in the horizontal and vertical betatron oscillations, which arise with increasing beam current. This system damps these oscillations and suppresses the amplitude growth associated with these instabilities, consequently reducing beam losses induced by such phenomena and maintaining beam quality. The new system features a higher sampling rate to handle high-frequency instabilities and also facilitates adaptation to the changing revolution period during acceleration.

### 1. はじめに

J-PARC の Main Ring (MR)は、陽子シンクロトロンであり、入射エネルギー3 GeV、出射エネルギー 30 GeV で運転されている。MR では、現状のビーム電流においても、なにも対処しない場合には、横方向(水平、垂直)のベータatron振動においてビーム不安定性が発生し、その振幅を増大させて、ビーム損失を引き起こす。現在はこの不安定性を横方向のデジタルフィードバック[1]により抑制している。

さて、MR では、出力ビームパワーの増強を目指しており、その最初のステップ[2-5]として磁石やRF加速の増強により加速サイクルの周期を 2.48 秒から 1.36 秒へ短縮し 1.5 倍のパワー増強を達成[2, 3]した。次のステップとして、加速サイクル周期の 1.16 秒へのさらなる短縮とともに 2 割程度の加速ビーム電流の増強が検討されている[6-9]。大電流化においてはビーム不安定性の強度を増大させることから、増大する強度への対応とともに現在のフィードバックの性能を超える新たな不安定性の発生に対処しておく必要があると考えられている。

そのために現在開発中のフィードバックでは、デジタル処理のサンプリングレートを現状の 100 MS/s から 576 MS/s へと高速化し、より高い周波数の不安定性に対処するとともに、Table 1に示す、加速に伴う周回周期の短縮への対応も容易とし 3 GeV の入射から 30 GeV の出射までの間、不安定性を抑制可能とする予定である。

なお、本報告に含める予定であったベンチ試験の結果等は後述するボードの回路改造等により時間が不足したことから次回以降に報告する。

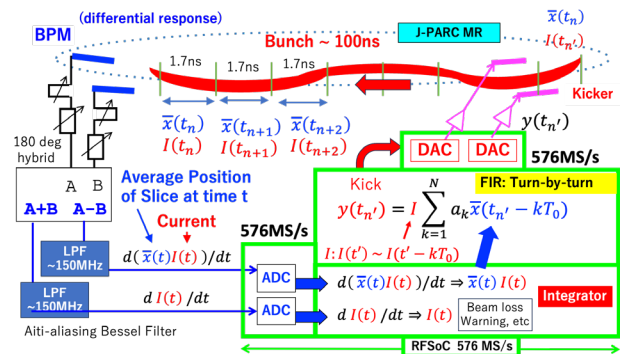


Figure 1: Block diagram of feedback system.

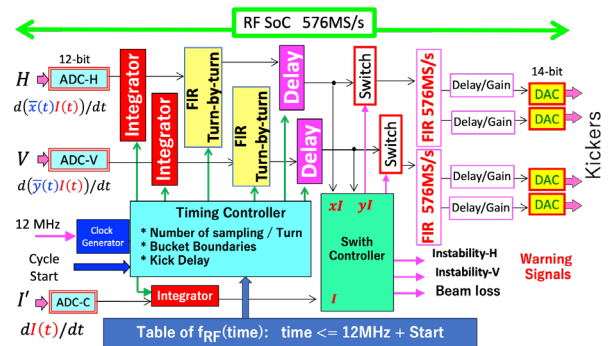


Figure 2: Block diagram in RFSoc shown in Fig. 1. The diagram is designed by the authors and the FPGA program for it is implemented by Mitsubishi Electric Defense & Space Technologies Corp.

フィードバックシステムの概念図を Fig. 1 に示す。MR の陽子バンチは 100 ns 程度のバンチ長をもち、その各部分がいろいろな位相、振幅で振動する可能性があるこ

<sup>#</sup> nkmr@post.kek.jp

とから、このフィードバックでは、ビームの各部について、その部分の位置をターンごとに測定してベータatron振動を検出し、そのデータから、その部分の振動を減衰させるために必要なキックを計算、そして、その部分をキッカーでキックする。そしてこれをサンプリングの時間間隔で分割されたすべての部分に対して行う、という、いわば part-by-part feedback というべき動作を行う。

Table 1: Revolution Period of J-PARC MR

	Injection	Extraction
Energy	3 GeV	30 GeV
Revolution Period	5.385 $\mu$ s	5.130 $\mu$ s

## 2. ビーム位置モニタ

このフィードバックに用いているビーム位置モニタ (BPM)[10]は既設のものでありフィードバックに特化させた特性をもつものではない。この BPM は短絡されたストリップライン電極型 BPM の一種であり、その形状および短パルスのビームに対する出力波形をそれぞれ Fig. 3 および Fig. 4 に示す。この BPM の電極は、出力端(壁面とのギャップ)があり、また出力用ケーブルが接続)から短絡端まで、その幅およびその壁面までの距離においてテーパをもち、インピーダンスが徐々に0に近づけられている。このため反射が連続的に生じることから、短いパルスビームに対して Fig. 4 の波形を発生する。これにより通常の短絡型 BPM において発生する BPM の不感周波数帯域(ノッチ)が存在しない。しかし、後述のように、この BPM はフィードバックの周波数帯域では通常の定インピーダンスの短絡型ストリップライン BPM とほぼ同一の特性を持つので、以下では短絡型ストリップラインとみなす。

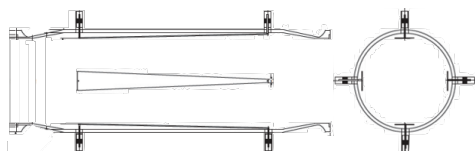


Figure 3: Shorted-stripline BPM for feedback, with tapered electrodes of which pulse response is shown in Fig. 4. Length of strip-line is 0.3 m [10].

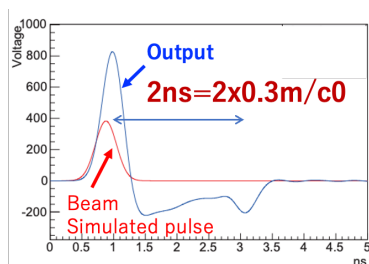


Figure 4: BPM signal (“Output”) for short pulsed beam (simulated pulse) (“Beam Simulated pulse”) [10].

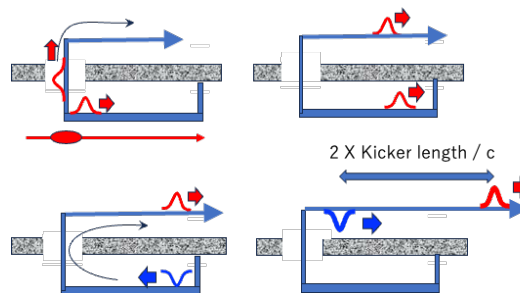


Figure 5: BPM response of shorted-stripline BPM.

Figure 5 は通常の短絡型ストリップライン(インピーダンス一定)の場合の出力信号の生成過程を示す。ギャップが設けられケーブルと分岐している端において、ビームがパルスを生成し、その一部はケーブルに伝わり一部はストリップラインに流れる。ストリップラインに流れたパルスは短絡端において極性および伝搬方向が反転したのちケーブルに伝わる。これにより出力はストリップラインの往復時間 $T_K$ だけ離れた正負の双極パルスとなる。理想化したモデルではデルタ関数的なビームに対して

$$S_\delta(t) = \delta(t) - \delta(t - T_K) \quad (1)$$

となる。ここで $L_K$ はストリップライン長、 $c$ は光速として $T_K = 2L_K/c$ である。分布 $f(t)$ をもつビームとのコンボリューションは、

$$F(t) = f(t) - f(t - T_K) \quad (2)$$

となる。フィードバックで利用する周波数帯域が $1/2T_K$ より十分に低い場合には、

$$F(t) \approx \frac{df(t)}{dt} T_K \quad (3)$$

と、微分で近似することができる。今回の場合、 $L_K = 0.15$  m なので、 $T_K = 1$  ns、 $1/2T_K = 500$  MHz となる一方、フィードバックで利用する信号は 200 MHz 程度までなのでこの近似は成り立つ。また、この周波数範囲においてこの BPM と通常の短絡型ストリップライン BPM の出力の違いは小さいので、以下ではこの BPM を短絡型ストリップラインとみなす。

ビームを挟む 2 電極に誘起される信号の相対強度を考える。BPM を時刻  $t$  に通過するビームの電流を  $I(t)$ 、その時刻のビームのスライス電極方向への位置の平均を  $\bar{x}(t)$  とすると、2つの電極 A、B のギャップに誘起される信号の相対強度はそれぞれ、

$$A_E(t) = I(t)(1 + k \bar{x}(t)) \quad (4)$$

$$B_E(t) = I(t)(1 - k \bar{x}(t)) \quad (5)$$

となる。これらに対応する BPM からの信号 $A(t)$ および $B(t)$ は、 $A_E(t)$ および $B_E(t)$ と $S_\delta(t)$ とのコンボリューションとなり

$$A(t) = \frac{dA_E(t)}{dt} = \frac{dI(t)}{dt} + k \frac{d(I(t)\bar{x}(t))}{dt} \quad (6)$$

$$B(t) = \frac{dB_E(t)}{dt} = \frac{dI(t)}{dt} - k \frac{d(I(t)\bar{x}(t))}{dt} \quad (7)$$

となる。その差、和を 180 度ハイブリッドで生成すると

$$A - B = 2k \frac{d(I(t)\bar{x}(t))}{dt} \quad (8)$$

$$A + B = 2 \frac{dI(t)}{dt} \quad (9)$$

となる。これらをデジタル信号処理装置への入力とする。

### 3. デジタル信号処理装置

#### 3.1 信号処理デバイス

デジタル信号処理装置に用いたボードの仕様を Table 2 に示す。中核となる FPGA には RFSoc (RF System on Chip) とよばれる ADC、DAC および CPU を内蔵したものを用いている。FPGA の動作クロックには入射エネルギー時の周回周波数の整数倍である  $f_s = 576 \text{ MHz}$  を用いる。これは現状の FPGA を用いて後述の回路を動作させる際の限界に近いクロック周波数となっている。ADC は  $4f_s = 2.3 \text{ GS/s}$  で駆動され、その4つのデータ毎に平均をとって  $f_s$  のレートのデータとしている。DAC は  $8f_s = 4.57 \text{ GS/s}$  で駆動されているが、 $f_s$  からの内挿などは行わず、間隔  $1/f_s$  の矩形波として出力している。なお、本ボードに搭載されている FPGA はスピードグレード 1 であり、当初想定機能を搭載するには信号タイミング等のズレが大きく、このスピードグレードで可能な範囲に機能を落とし込む必要があった。スピードグレード 2 であればタイミングのズレは低減される可能性があるが高価となるので、今後、水平、垂直方向にそれぞれ別々のボードを割り当てたり、処理の並列化などの手法の変更を含めて検討する。

なお、J-PARC 側では、Fig. 2 に示す信号処理の概念設計をおこない、FPGA プログラムや制御等は三菱電気ディフェンス&スペーステクノロジーズ(株)により製作された。

Table 2: Digital Processor

Board	MEDS MME-TRX01-B
FPGA	Xilinx Zynq UltraScale+ RFSoc XCZU27DR-1 (Speed grade -1)
ADC	8 (12-bit, 4.1 GS/s,)
DAC	8 (14-bit, max 6.5 GS/s)
CPU in FPGA	Quad-core Arm Cortex-A53

#### 3.2 加速に伴う周回周波数・位相の設定

このフィードバックでは後述のように周回時間、および各周回の開始と各バケット区切りのタイミングが必須であるが、MR では加速に伴い陽子の速度が増大し、周回周期が短縮していくので、それへの対処が必要である。RF 加速では、加速サイクルの開始からの時刻と RF 加速周波数のテーブルを用意し、それから周波数およびその積分である位相を求めているので、これと同様の手順をそのまま用いることにより RF 加速に同期した周回周波数および位相を得ている。時刻は分配されている加速サイクル開始信号と J-PARC の基準信号である 12 MHz 信号を用いて計算している。

#### 3.3 周回時間の変化への対応

整数化した MR の一周回あたりのデータのサンプリング数、すなわち

$N_T = \lfloor (\text{周回周期}) / (\text{サンプリングの時間ステップ}) \rfloor$  ならびに、ターンやバンチの区切りのタイミング(位相)について、データ転送に並列転送を用いている従来の機器では動作クロックを周回周期に同期させてサンプリングの時間ステップを変化させ  $N_T$  や位相を保つことが可能であったが、近年主体となっているシリアル転送では、クロックは一定としておく必要があるので、 $N_T$  や位相は周回周期に応じて変化していく。そのため、これを FPGA により計算し、 $N_T$  や位相を必要としている処理へ供給する (Fig. 6)。

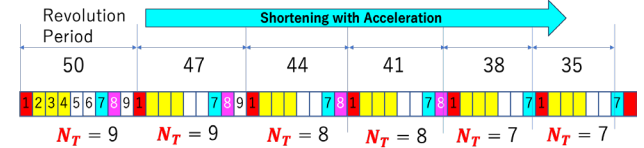


Figure 6: Change of  $N_T$  with the change of revolution period. Actual  $N_T$  values are  $\sim 3000$ .

#### 3.4 BPM 信号の積分処理

$Z(t)$  により  $I(t)\bar{x}(t)$  や  $I(t)$  を表し、その微分を  $Z' = dZ/dt$  で表す。この  $Z'$  がフィードバックへの入力となり、ADC でサンプリングされる。サンプリング時刻

$$t_n = n\Delta t \quad (10)$$

( $\Delta t$  はサンプリングの時間ステップ) にサンプルされたデジタルデータを

$$Z[n] = Z(t_n), \quad (11)$$

$$Z'[n] = Z'(t_n), \quad (12)$$

とおく。フィードバックで必要とする情報は  $Z$  であるので、この  $Z'$  を積分していく必要がある。このフィードバックはバンチ化されたビームに対するものなので、RF バケットの間にはビームは存在しないことから、バケットごとに積分を行うこととする。

積分処理では各周波数成分が、その周波数の逆数となるゲインを受けるため、低周波ノイズが問題となる。その除去の方法として、まず 1 バケット区間の信号の平均

$$\bar{Z}' = \sum_{i \in \text{Bucket}} Z'[n] \quad (13)$$

を計算し、それをもとの信号から引き算したものを積分

$$Z[i] = \sum_{j=1}^i Z'[j] - \bar{Z}' \quad (14)$$

していくことにより、そのバケット内の各点での積分値を計算する (Fig. 7)。この方法は、平均をとらずに積分し、その後、積分の開始点と終点を線形補間して引き算する手順と数学的に同等である。バケットの開始・終了タイミングは 3.2 節で記した処理を利用している。なお、現状のフィードバックでは、直接に積分を行っており、低周波ノイズによるオフセット除去処理は行われていない。

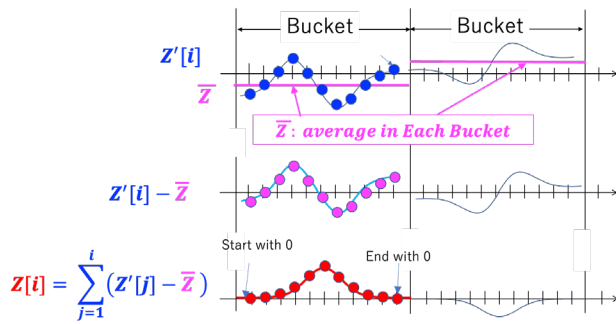


Figure 7: Integration of sampled data with offset subtraction.

### 3.5 FIR フィルタによるキック信号生成

ビームの各部分(part)に対して、その part の位置のターンごとの履歴を用いて、その part に必要なキックを FIR フィルタ:

$$y[n] = I \sum_{k=1}^N a_k \bar{x}[n - kN_T] \quad (15)$$

により計算している。ここで  $N_T$  は 3.1 節 に述べた方法を用いてターンごとに得ている (Fig. 8)。なお、この処理では  $N_T$  は整数化していること、また、そのために  $N_T$  が飛び飛びで変化することから、ターンごとにサンプリングを行う part や、それを用いてキックする part の間で時間のズレが生じるので、これ問題とならない程度にフィードバックがあつた周波数を低減するなどを検討していく必要がある。FIR フィルタの例を Fig. 9 に示す。係数  $a_k$  の導出方法は参考文献[11-13]を参照のこと。また、係数計算用の python プログラムは参考文献[14]として挙げている web ページから取得可能。

なお、Fig. 2 中の“FIR 576 MS/s”は、これとは別の FIR フィルタであり、処理レートにデータに対するものとなっており、これによりキッカーを駆動するパワーアンプや、キッカー自体の周波数応答を補正するためのものである。

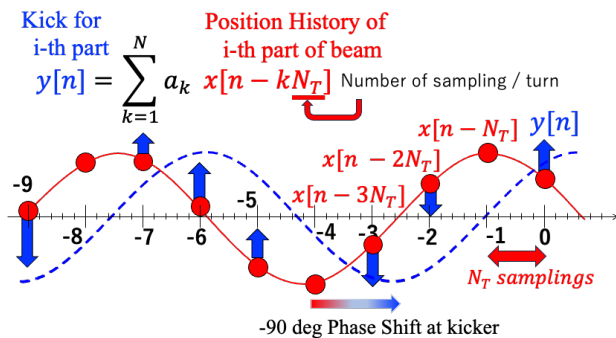


Figure 8: FIR filter to create kick signal  $y[n]$  from turn-by-turn position data  $x[n - kN_T]$  of each part of beam,  $n = 1, 2, 3, \dots, N_T$ .

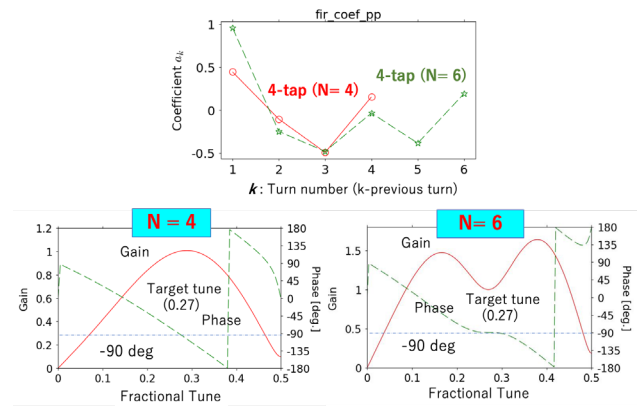


Figure 9: Examples of FIR filter. Top: Coefficients with 4 and 6 previous position data ( $N=4$  and  $N=6$ , respectively, setting the gain and phase to 1 and  $-90$  degree, respectively, at fractional tune 0.27). Bottom: gain and phase response as functions of fractional tune, for  $N=4$  and  $N=6$ .

### 3.6 加速に伴うキッカー通過時間の变化

得られたキック信号をキッカーに送り、ビームをキックするが、キックの生成にもちいた位置をサンプルしたビームの part と同じ part にキックを与える必要がある。このとき、加速により速度が変化し周回周期および BPM からキッカーまでの移動時間が徐々に変化するので、キックのタイミングを調整する (Fig. 10)。なお、1ターン中の加速によるタイミング変化は非常に小さいので無視できる。

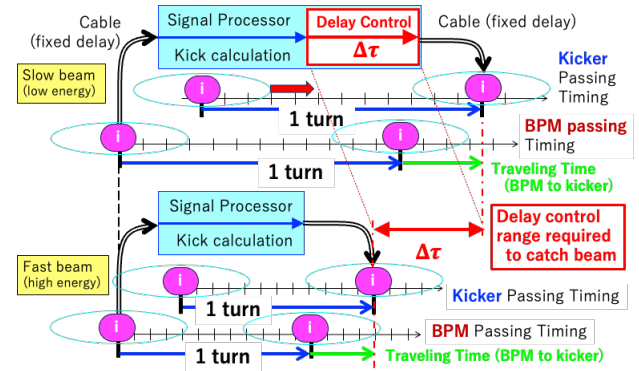


Figure 10: Kick timing control with the change of revolution time and travelling time from BPM to kicker.

## 4. 信号処理ボードの低周波への拡張

ADC の入力において、十分に低周波まで取得しておかなければ積分結果にサグが発生しバッチの最後部の信号極性が反転する。今回の場合、それが許容できる程度とするためには  $100 \text{ kHz}$  程度までを取得する必要がある。しかし AMD の評価ボードをはじめ、本ボードなどの市販品の RFSoc 搭載のボードの多くでは、ADC や DAC のアナログ差動入力・出力部に Balun (single-end <-> differential 変換用トランス) が取り付けられている。本ボード上の Balun は  $10 \text{ MHz}$  以上の高周波用なので今回はそれを除去・短絡し、オンボード上のキャパシタンスと終端抵抗による低周波の AC 結合とした。そしてオンボードコネクタの数の関係から ADC や DAC の差動部の片側のみを入出力として用いた。これは著者の一人が

SPring-8 において開発した信号処理装置でも用いた方法である[11,15,16]。但し、差動の片側のみであるのでゲインの低下が生じるが、低周波まで **single-end** と **differential** をつなぐ別の方法である差動アンプの利用に比べて費用が低減できる。

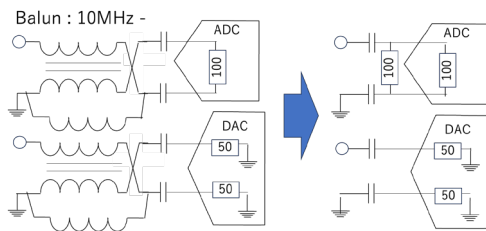


Figure 11: Removal of Balun and usage of one of differential port of ADC and DAC.

## 5. 静電 BPM の可能性

今回は、既設の BPM を用いたが、静電型 BPM のように、電極を短絡せず、高インピーダンスを介して信号を取り出せば、微分特性ではなく Eq. (4) や Eq. (5) の波形が取り出せる。しかし、ゲインが低下し、かつ、長いケーブルで信号が引き回されることから、アンプを直付けして増幅したいが、J-PARC の強い放射線環境下での耐久性の検討が必要となっている。なお、著者らは、このようなアンプを直付けした静電型 BPM を用いたデジタルフィードバックにより、いくつかのリングにおいてコースティングビームの横方向不安定性の抑制に成功している[17,18]。

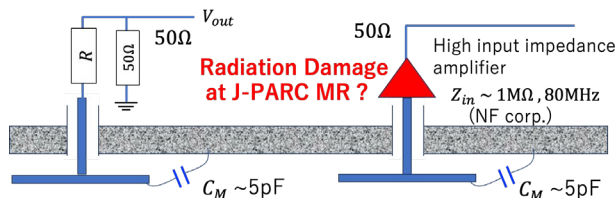


Figure 12: Electrostatic BPM with high impedance read-out.

## 謝辞

フィードバックの RF 加速システムとの同期方法について助言をいただきました田村文彦氏(JAEA/J-PARC)ならびに杉山泰之氏(KEK/J-PARC)に感謝いたします。信号処理ボードのハードウェアや FPGA プログラム、および制御の製作、そして、それらについての議論、情報提供について三菱電気ディフェンス&スペーステクノロジーズ(株)に感謝いたします。

## 参考文献

- [1] T. Toyama, M. Okada, A. Kobayashi, “ANALYSIS AND UPGRADE PLAN OF THE TRANSVERSE INTRA-BUNCH FEEDBACK SYSTEM IN THE J-PARC MR”, FRPI040, Proc. of the 16th Annual Meeting of Particle Accelerator Society of Japan (PASJ2019), Kyoto, Japan, 2019.
- [2] H. Oguri *et al.*, “Status of J-PARC accelerators”, TFSP16, Proc. of the 21st Annual Meeting of Particle Accelerator

Society of Japan (PASJ2024), Yamagata, Japan, 2024, this meeting.

- [3] T. Yasui, for the J-PARC accelerator group, “J-PARC MR OPERATION WITH THE HIGH REPETITION RATE UPGRADE”, TUXG1, Proc. of IPAC’23, 2023.
- [4] S. Igarashi *et al.*, “Accelerator design for 1.3-MW beam power operation of the J-PARC Main Ring”, Progress of Theoretical and Experimental Physics, Volume 2021, Issue 3, 033G01, March 2021. DOI: 10.1093/ptep/ptab011
- [5] Y. Kurimoto, Y. Sato, for J-PARC MR Accelerator Group, “Upgrade Plan of J-PARC Main Ring”, J. Particle Accelerator Society of Japan, Vol. 18, No. 1, 2021.
- [6] T. Yasui, Y. Sato, H. Hochi, S. Igarashi., “Resonances in J-PARC MR and future strategy”, WEP088, Proc. of the 21th Annual Meeting of Particle Accelerator Society of Japan (PASJ2024), Yamagata, Japan, 2024, this meeting.
- [7] K. Hasegawa *et al.*, “Preparation status 2024 of RF system for J-PARC MR upgrade”, THP004, Proc. of the 21th Annual Meeting of Particle Accelerator Society of Japan (PASJ2024), Yamagata, Japan, 2024, this meeting.
- [8] M. Shirakata, T. Oogoe, C. Kubota, M. Nishikawa and Y. Kuniyasu”, Equipment cooling water upgrade plan at J-PARC MR D1 Power Supply Building”, FRP067, Proc. of the 21th Annual Meeting of Particle Accelerator Society of Japan (PASJ2024), Yamagata, Japan, 2024, this meeting.
- [9] T. Ohmori, “50-80MHz RF cavity for emittance control of J-PARC MR beam”, WEP002, Proc. of the 21th Annual Meeting of Particle Accelerator Society of Japan (PASJ2024), Yamagata, Japan, 2024, this meeting.
- [10] K. Nakamura *et al.*, “FABRICATION OF TAPERED COUPLER FOR INTRA-BUNCH FEEDBACK SYSTEM IN J-PARC MAIN RING”, SAOM03, Proc. of the 11th Annual Meeting of Particle Accelerator Society of Japan (PASJ2014), August 9-11, Aomori, Japan, 2014.
- [11] T. Nakamura, S. Date, K. Kobayashi and T. Ohshima, “Transverse bunch-by-bunch Feedback System for the SPring-8 Storage Ring”, THPLT068, Proc. of the EPAC 2004, Lucerne, Switzerland, 2004.
- [12] T. Nakamura, “TRANSVERSE AND LONGITUDINAL BUNCH-BY-BUNCH FEEDBACK FOR STORAGE RINGS”, tuzgbd2, Proc. of the IPAC2018, Vancouver, BC, Canada, 2018.
- [13] T. Nakamura, “Feedback system for Hybrid Filling with Large Bunch Current Contrast”, I.FAST Workshop 2024 on Bunch-by-Bunch Feedback Systems and Related Beam Dynamics, KIT, 3-6 March 2024. <https://indico.scc.kit.edu/event/3742/contributions/15184/>
- [14] In “Reports” in the web page, <https://research.kek.jp/people/nkmr/index.html>
- [15] T. Nakamura, and K. Kobayashi, “FPGA Based Bunch-by-bunch Feedback Signal Processor”, PO2.022-2, Proc. of the 10th ICALEPCS (ICALEPCS05), Geneva, 2005.
- [16] K. Kobayashi, T. Nakamura, M. Masaki, T. Fujita, “DEVELOPMENT OF A NEW BUNCH-BY-BUNCH FEEDBACK SIGNAL PROCESSOR AT THE SPRING-8 RING”, WAOL03, Proc. of the 12th Annual Meeting of Particle Accelerator Society of Japan (PASJ2015), Tsuruga, Japan, 2015.
- [17] T. Nakamura *et al.*, “DIGITAL FEEDBACK FOR TRANSVERSE COASTING BEAM INSTABILITY AT S-LSR”, TP56, Proc. of the 3rd Annual Meeting of Particle Accelerator Society of Japan and the 31st Linear

**PASJ2024 FRP015**

Accelerator Meeting in Japan (PASJ2006), Sendai, Japan, 2006.

- [18] T. Shirai *et al.*, “Fast Extraction of Electron-Cooled Ion Beam at HIMAC”, WP050, Proc. of the 5th Annual Meeting of Particle Accelerator Society of Japan, and the 33rd Linear Accelerator Meeting in Japan, Higashihiroshima, Japan, 2008.