

UPGRADE OF THE THYRATRON GRID DRIVER FOR THE KEKB INJECTOR LINAC KLYSTRON MODULATOR

Hiroyuki Honma¹, Hiromitsu Nakajima, Mitsuo Akemoto, Tetsuo Shidara, Shigeki Fukuda
KEK, High Energy Accelerator Research Organization, Accelerator Laboratory
1-1 Oho, Tsukuba-shi, Ibaraki-ken, 305-0801

Abstract

New type thyatron grid driver using a common 500 V DC PS and 4 discharging circuits for output pulse voltage of 2kV, was fabricated tentatively for KEKB injector linac klystron modulator. The discharging circuit consists of a storage capacitor, a FET switch and a pulse transformer with turns²-ratio of 1 to 1. The size of trigger system including this new driver, became one third of the existing one. The rise time of output pulse voltage was also improved, consequently the characteristics of thyatron switching time became smaller. Design of this driver is described and further improvement of the rise time is discussed in this report.

サイラトロンドライバーの高機能化

1. はじめに

KEKB入射器大電力クライストロン用パルス電源では、サイラトロンを点弧させるための信号は、トリガー回路系（トリガー分配回路、トリガーⅠ、トリガーⅡの3回路よりなる）で作られている。トリガーⅠ回路はEIA規格のユニット3の、トリガーⅡは同じくユニット8のシャーシケースに収納されている。

最近、入射器のR&Dの中でパルス電源のインバータ充電器を用いた小型化^[1]が試みられ、既に実用化されている。この改造では、上に述べたトリガー回路系の内、トリガーⅡ回路の配置は従来と変わらないが、トリガーⅠ回路が電源の制御回路部裏側の一番高い位置に配置されることになった。このため、

保守、信号モニターなどの作業が非常にやり難くなっている。又、現在のトリガーⅡはスイッチ素子として、耐圧2.5 kVのサイリスターを2個直列に使用している。スナバー回路（サイリスター保護回路）は高、低圧側の両方にあり、片側の回路部品で短絡故障等があると、反対側のサイリスターに過電圧がかかり故障を起こす危険性を持っている。

この度、トリガーⅠとトリガーⅡの機能を合わせユニット4のシャーシケースに収納する小型で、1回路当たりのスイッチ素子も1個だけであるサイラトロンドライバーを試作した。このドライバーはスイッチ素子としてFETを使用するため、サイリスターより出力の立ち上がりも速い。以下で、その回路設計と動作について述べる。

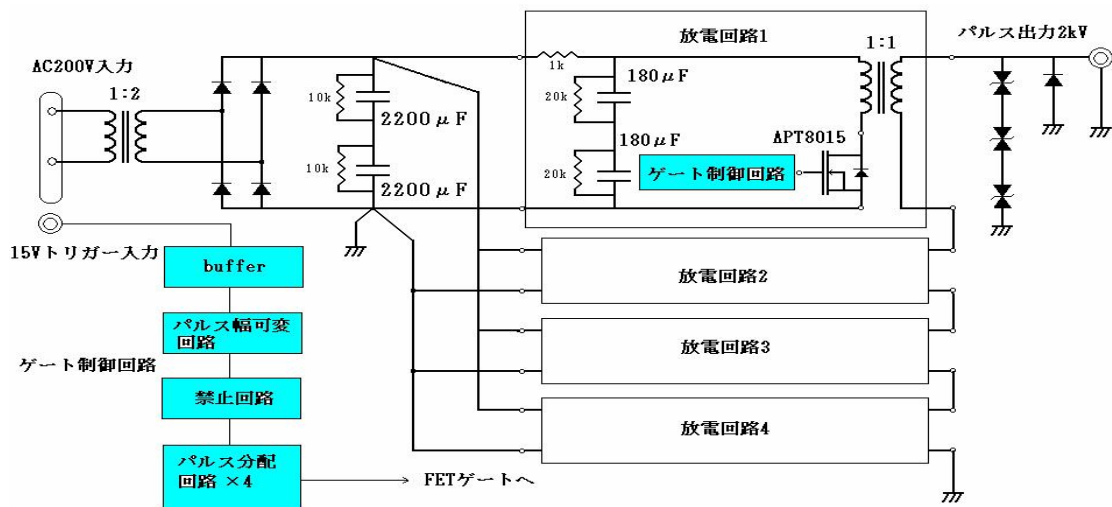


図1: 試作ドライバー回路の概略図

E-mail:hiroyuki.honma@kek.jp¹

2. 試作ドライバーの設計

図1は試作ドライバー回路の概略図である。この回路では、出力パルスのエネルギーを蓄積するコンデンサー、昇圧比が1:1のパルストランス、スイッチング用FET(アドバンスドパワーテクノロジー社製APT8015)からなる放電回路が4回路あり、共通な500Vの直流電源から充電される。それぞれの回路のパルストランスは2次側が直列に接続されており、パルス電圧が加算され2kVの出力電圧が得られる。FETゲート制御回路では、ゲート入力信号を4回路のFETにタイミングが均等になる様に分配している。出力部には逆電圧防止ダイオード、サージアブソーバーが設けられており、それぞれサイラトロンリッドからの反射電圧、サイラトロン点弧により発生するサージ電圧を抑止する。

図2は現在のトリガー回路系(トリガーI、トリガーII)(図左)と、試作ドライバー(図右)を示すものである。この図から試作ドライバーでは、大きさが現トリガー系の約1/3になっていることがわかる。これにより、2つのトリガー回路分の機能を備える試作ドライバーを現トリガーII回路の収納スペースに収めることができ、小型パルス電源における保守もやり易やすくなる。

平滑コンデンサーは、当初の設計で3300 μ F 2直列であったが、2200 μ F 2直列にしても、出力パルス電圧の変動が2%を維持できることがわかったため、高さが、外形寸法で175mmのユニット4ケースへの収納が可能になった。又、500Vの直流とパルス出力ラインの配線として、潤工社製高圧ジュンフロン線を使用することにより、耐圧空間を節約できた。

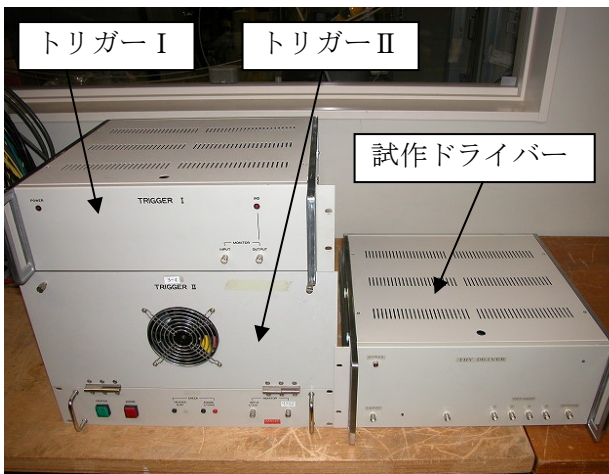


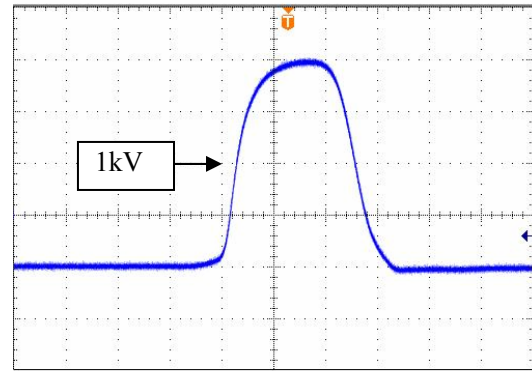
図2: 現トリガー回路系と試作ドライバー

3. 動作結果と課題

3.1 出力パルスの立ち上がり時間とサイラトロンドライブ特性

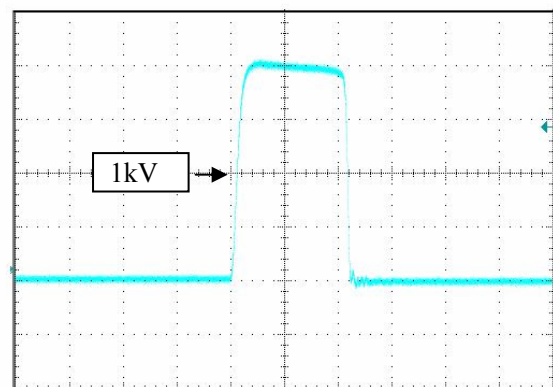
図3はパルス出力電圧波形の現トリガーII(図3(a))と試作ドライバー(図3(b))との比較を示

している。これは前者の出力インピーダンスにほぼ等しい50 Ω の負荷を接続し、高圧プローブ(ソニーテクトロニクス社製P6015)で測定したものである。立ち上がり時間(10-90%)はそれぞれ、727ns、176nsである。試作ドライバーの方が約4倍速い立ち上がりとなっている。



(a) 現トリガーII

横軸: 1 μ s/div 縦軸: 500V/div



(b) 試作ドライバー

横軸: 1 μ s/div 縦軸: 500V/div

図3: パルス出力電圧波形の比較

図4は両者を大電力パルス電源に組み込み、サイラトロン点弧の時間特性(アノード遅延時間、出力タイミングの時間ジッター)を、サイラトロンのリザーバー電圧を変えて測定したものである。アノード遅延時間は両者の出力モニター信号をトリガーとし、パルス電源出力パルスの立ち上がりまでの時間を、出力タイミングの時間ジッターは、その変動を測定した。この測定は入射器において、サイラトロンの受け入れ検査、長期シャットダウン中のクライストロンギャラリーでの動作点調整で行われるものである^[2]。

図中の記号でPは現トリガーIIを、Nは試作ドライバーを表す。この図から、試作ドライバーの遅延時間はどの電圧でも現トリガーIIより約200ns以上速

く、ジッターについては多いところで約30%の減少となっていることがわかる。後者は約4倍の立ち上がり時間の改善に対し、かなり少ない結果である。しかし、サイラトロンの点弧が出力電圧レベルの1kVのところから起こり始めるとすれば、図3よりそのレベルでは両者の立ち上がりの差は4倍もないこと、ジッター測定が高ノイズ下で行われることを考えれば妥当な結果かもしれない。時間ジッターの測定結果は、サイラトロンを点弧させるためのドライバー電圧レベルには、ある幅があり、それが出力立ち上がり時間の差により、時間幅の違いとなり現れているものと思われる。ジッターの少ない電源出力は安定なクライストロン出力に寄与する。試作ドライバーに使用されているFET そのものは立ち上がり時間が20nsと非常に速いため、パルストランス部分での立ち上がりの劣化を極力小さくしたいところである。

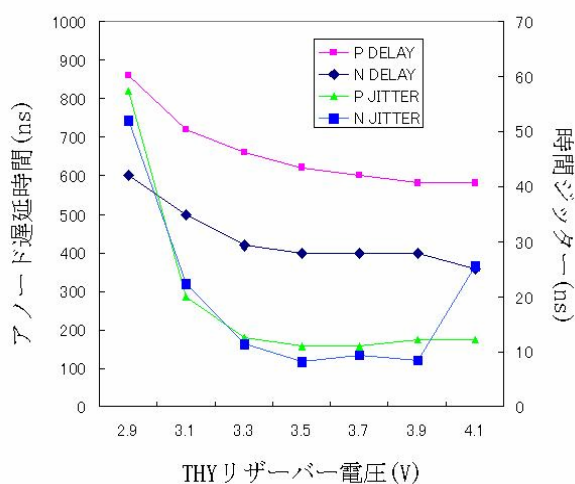


図4:サイラトロンドライブ特性の比較

3.2 立ち上がり時間改善のための考察

試作ドライバーで使用しているパルストランスコアの材質は、TDK社製フェライトコアPC40（比透磁率 1876、 ΔB 4000gauss）である。又、寸法、形状は現トリガーIIを参考にし、1個あたりの外径、内径、厚さが、それぞれ72mm、48mm、15mmのトロイダルとした。巻き線材は前述の高圧ジュンフロン線であり、パルス幅 $2\mu\text{s}$ の出力電圧の飽和を避けるためトランス1個あたりの巻き数は16ターンとした。

4パルストランスの2次側を直列に接続する方式としては、コアを含めて独立な4個のトランスを配置し、中継端子経由でそれぞれの2次側を接続する方式(A)と、コア4個を縦に積み上げ60mm厚の1つのコアを作り、4トランス分の巻き線を領域で巻き分け、短い配線で接続する方式(B)が考えられる。図5は2方式での出力立ち上がり時間の違いを、15Vの共通直流電源を用い比較したものである。ここでは方式(B)での巻きやすさを考慮し、10ターンの巻き数と

した。方式(A)による波形は黒色で(B)による波形は赤色で示されている。この図より立ち上がり時間は両者でほぼ等しいことがわかる。立ち上がり時間(10-90%)の測定値は156nsであった。この結果は、(A)では引き回しの配線インダクタンスが(B)に比べ大きい、巻き線間の分布容量は(B)の方が大きくなっており、それらが互いに打ち消しあったためと考えられる。試作ドライバーでは方式(A)を採用することとした。

次に、1次側エネルギー蓄積コンデンサーの容量は最初 $50\mu\text{F}$ ($100\mu\text{F}$ 2直列)であったが、その後増やして $90\mu\text{F}$ ($180\mu\text{F}$ 2直列)としてみた。しかし立ち上がり時間の改善は見られなかった。

3.1で述べた測定結果により、サイラトロンドライブ特性が出力立ち上がり時間に依存することは明らかとなった。しかし、パルス幅がドライブ特性に与える影響ははっきりしない。もし $1\mu\text{s}$ 程度の幅でも特性が低下しないならば、出力の飽和を気にせずにターン数を10ターン程度にし、漏れインダクタンスを小さくすることにより、立ち上がり時間の改善をすることが可能である。

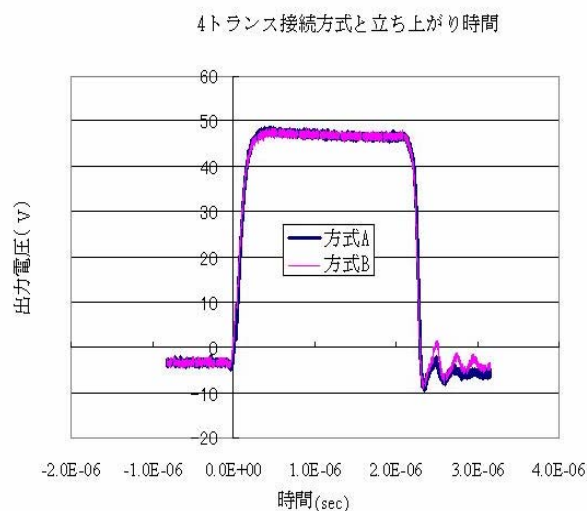


図5: 2方式での出力立ち上がり時間の比較

参考文献

- [1] 中島啓光. "小型パルス電源の特性と今後の課題", Proceedings of the 28th Linear Accelerator Meeting in Japan, Tokai, July 30-August 1, 2003
- [2] 今井康雄. "Maintenance Activity of RF Sources in KEK Electron-Positron Linac", Proceedings of the 29th Linear Accelerator Meeting in Japan, Funabashi, August 4-6, 2004