

## THE CONTROL SYSTEM OF THE SCSS PROTOTYPE ACCELERATOR

Toru Ohata<sup>1,A),B)</sup>, Toru Fukui<sup>A),B)</sup>, Masanobu Kitamura<sup>A)</sup>, Toko Hirono<sup>A),B)</sup>, Naoyasu Hosoda<sup>A),B)</sup>,  
 Hirokazu Maesaka<sup>A)</sup>, Takemasa Masuda<sup>A),B)</sup>, Tomohiro Matsushita<sup>A),B)</sup>, Takashi Ohshima<sup>A),B)</sup>, Masao Takeuchi<sup>B)</sup>,  
 Ryotaro Tanaka<sup>A),B)</sup>, Akihiro Yamashita<sup>A),B)</sup>, Yuji Otake<sup>A)</sup>  
<sup>A)</sup> RIKEN/SPring-8, 1-1-1, Kouto, Sayo, Hyogo, 679-5148  
<sup>B)</sup> JASRI/SPring-8, 1-1-1, Kouto, Sayo, Hyogo, 679-5198

### Abstract

The prototype accelerator of SPring-8 Compact SASE Source (SCSS) has succeeded in VUV lasing in June 2006. The prototype accelerator, whose electron beam energy is 250MeV and a target photon wavelength is 60nm, was started to build in 2004 to confirm the engineering design of the 8-GeV XFEL accelerator under construction in SPring-8. The prototype accelerator commissioning began in November 2005. A control framework, MADOCA, is used for the prototype accelerator control. The MADOCA was originally developed for SPring-8 and is fully scalable for the prototype accelerator and the 8-GeV XFEL. As an equipment interface, fourteen VME systems were installed. Solaris 9 is running on IA32 VME controller, and a compact flash memory is used as a boot device of Solaris OS. High-speed VMEbus A/D board, D/A board, trigger unit, and delay unit were newly developed for stable C-band RF control. The PLC was used as a build-in controller of several components such as magnet power supplies. We selected the FL-net for communication interfacing between VME and PLC, and the DeviceNet for slow control fieldbus. The MADOCA-based control system worked well and was stable enough to perform VUV lasing operation. We report the present status of the control system.

## SCSS試験加速器における制御システム

### 1. はじめに

SCSS試験加速器は、X線領域のレーザー(XFEL)光源を実現するために、その要素技術の検証を目的として建設された。SCSS試験加速器の制御システムは、2004年からハードウェア設計、2005年5月からソフトウェア製作を開始して、2005年11月にはコミッショニングに必要なほとんどの機能について実装が完了した。その後の加速器調整の結果、2006年6月には波長約49nmのSASE発振を達成した。本稿では、SCSS試験加速器における機器制御システム、および機器インターロックシステムの全体像について述べる。また、既存のSPring-8の制御システムの資産を利用し、極めて短期間にシステムを立ち上げられたことについても言及する。

### 2. 制御システム構成

SCSS試験加速器制御システムは、機器制御システムと機器インターロックシステムにより構成される。これらのシステムを統一的に扱うために、制御用ソフトウェアフレームワークとして、MADOCA(Message And Database Oriented Control Architecture)<sup>[1]</sup>を採用した。MADOCAはSPring-8で開発した、データベースを内包したクライアント・サーバー型制御フレームワークであり、SPring-8における加速器およびビームライン制御システムを始めとして、NewSUBARUやHiSORなどの制御システ

ムとして数多くの実績を有している。

#### 2.1 機器制御システム

機器制御用フロントエンドは、アナログ信号を扱う高速・高精度な制御システムとしてVMEを用いた。VMEバスコントローラとして、高速な演算性能と低発熱を両立させるために、IA32ベースの超低電圧CPUを採用したCPUボードである、サンリツオートメーション社製SVA031、同SVA041、を用いた。また高負荷時の安定動作を保証するために、冷却性能および電源の冗長性に優れ、高い保守性を有するRittal社製VMEシャーシを導入した。SCSS試験加速器では、14台のVMEによって加速器と挿入光源全ての機器制御を行っている。特別に高速・高精度を必要としない機器については、被制御機器インターフェースのユニット化を行い、内部にPLCを組み込む構成とした。これによって、コンポーネントの製作時に機器とコントローラの統合動作が可能となり、上位制御系との全体組み合わせ試験の工数を大幅に減らすことができた。また、クライストロンなどノイズ環境が劣悪な機器に対して、CAN技術をベースとしたフィールドバスであるDeviceNetを採用し、信頼性の高い制御を可能とした。PLCは保守性向上のために、ハードウェアの共通化を行い、横河電機製FA-M3を採用している。PLC系とVME系との取り合

<sup>1</sup> E-mail: ohata@spring8.or.jp

いにはFL-netを用いることとし、FL-net接続用VMEボードを新規に開発した<sup>[2]</sup>。FL-netは、PLCや計算機などの異機種コントローラ間の相互接続を目的としたオープンなネットワーク規格であり、日本工業規格 (JIS B 3521) 等に制定されている。FL-netは、ネットワークの物理層として、技術的に実績のあるEthernetを利用しており、既存の制御系ネットワークとシームレスな接続が可能である。通信速度は10Mbpsである。また、通信プロトコルとして、UDP/IPとブロードキャストを基盤としていることから、Ethernet用ネットワークプロトコルアナライザなどの管理機器やツール類をそのまま流用できるなどのメリットがある。

安定な加速器運転を実現するために、各機器の高精度温度モニタを行う必要がある。これらは加速器本体に沿って広く分散した少数点数の計測が主で、標準的に採用しているVME計測システムに代わる可搬性に優れた軽量な計測システムが望まれた。SCSS試験加速器では、Power over Ethernet(PoE)技術を利用した分散モジュールを採用し、省配線で設置場所の自由度が高い計測システムを実現した<sup>[3]</sup>。オペレータコンソールは、5台のIA32ベースの計算機を採用している。オペレーティングシステムとしてRed Hat Enterprise Linux 3を用いた。オペレータコンソールとは独立に、データ収集用端末、アラーム表示用端末、各一台により、アラーム監視系を構築している。オペレータコンソールとVMEを結ぶネットワークは、FL-netと共通のバックボーンとして、ギガビットイーサネットを構築した。これらの異なるネットワーク間の干渉を避けるために、仮想ネットワーク(VLAN)に対応したインテリジェントなエッジスイッチを導入し、機能毎に独立したネットワークセグメントを設定した。図1に制御システムの概念図を示す。

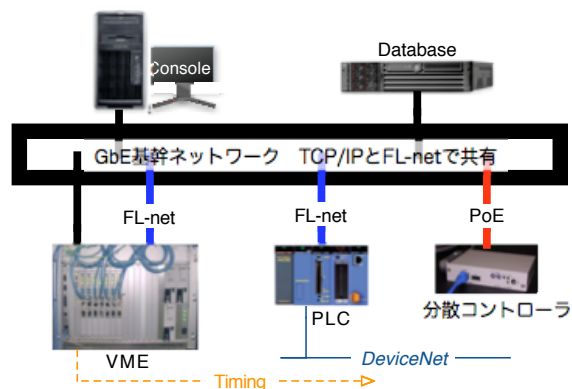


図1：SCSS試験加速器の制御システムの概要

## 2.2 機器インターロックシステム

SCSS試験加速器におけるインターロックシステムは、人的保護を目的とした安全系インターロックと機器保護系インターロックに大別される。安全系イ

ンターロックは、加速器トンネルの扉の監視など、放射線安全に関わるシステムであり、制御システムとは独立に構築している。これらインターロックシステムの分離およびPLCによるシステムの構築は、インターロックシステム全体の見通しを向上させるとともに、試験加速器の目的とも言える頻繁な機器構成の変更に必要な優位性を与える。機器構成の変更により発生する機器保護インターロック動作の修正では、安全系インターロックに影響を与えることなく、迅速な更新が可能となった。インターロックシステムの概念図を図2に示す。

機器保護系インターロックシステムは、「真空」、「電磁石電源」、「高圧電源」、「チラー」、「圧空」などの状態を制御/監視するもので、加速器の運転状態に深く関連する。そのためSCSS試験加速器では、他の機器制御システムと統一的に取り扱うことによって、安全且つ安定なオペレーションを実現した。これらの機器保護系インターロックシステムは、FL-netを経由して機器制御システムと接続し、インターロックの内部リレー状態をデータベースに記録している。これにより、インターロックの詳細な動作履歴を参照することが可能となり、迅速なアラーム状態の解析/トラブルシューティングを実現した。

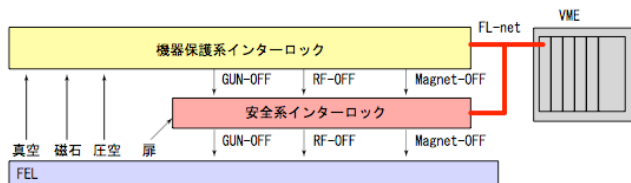


図2：インターロックシステムの構成

## 3. 要素技術

SCSS試験加速器は、極めて高い精度の時間制御および安定な高周波位相制御が要求される。また、種々の試験に応じて、柔軟な制御系の更新が可能となるように、制御構造の簡素化が重要である。これらの要求を満たすために、以下のような要素技術開発と導入を行った。

### 3.1 Master Trigger/Trigger Delay VMEボード

SCSS試験加速器では、サブピコ秒オーダーの高精度な時間制御が必要とされる。この高い時間精度を実現する、VMEボードの開発を行った。開発したボードは、Master Trigger Unit (MTU)とTrigger Delay Unit (TDU)の二つのモジュールである。MTUは、全系の運転の基準となるマスタートリガーを発生する。TDUは、MTUが生成したトリガー信号を、加速器を構成する機器毎に、適切に遅延したトリガー信号として出力する装置である。本モジュールは、トリガー信号の遅延後に、5712MHzの加速周波数クロックと再同期することで、1ピコ秒以下のタイミングジッターを実現している<sup>[3]</sup>。

### 3.2 高速A/D, D/A VMEボード

安定なSASE発振を実現するためには、非常に安定した高周波位相制御システムが必要となる。そのため、IQ制御のためのA/D, D/A VMEボードの開発／導入を行った。D/A VMEボードは、IQ変調器の制御信号として、プログラマブルな波形パターンデータを、238MHzの加速周波数クロックで出力する。A/D VMEボードは、IQ検出器から出力される波形データを、同じく238MHzの加速周波数クロックで駆動するADCによってデジタル化を行い、バッファメモリに取り込む。また、付加機能として、サンプリングデータのピーク検出機能、異常波形監視機能を実装している。これらの機能は、リアルタイムで動作し、60Hzのビーム運転に対応している。開発したA/D, D/A VMEボードともに、12bitの分解能で、 $\pm 2\text{LSB}$ の積分非線形性を実現している<sup>[4]</sup>。

### 3.3 FL-net VMEボード

制御構造の簡素化のため、個々の機器毎に、インテリジェントなローカルコントローラとして、PLCを組み込んだ。これにより、機器の製作時に、メーカーによる徹底した工場試験が可能となり、機器の設置後、上位制御系との統合動作試験が、確実且つ容易に行えるようになった。図3にSCSS試験加速器で構築したFL-netネットワーク構成の概念図を示す。保守作業の効率化のため、機器単位毎にネットワークに分割した。

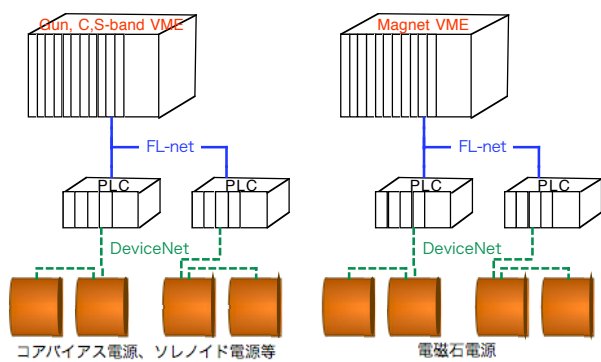


図3：FL-netネットワーク構成の概念図

### 3.4 PoE分散コントローラ

SCSS試験加速器では、Power over Ethernet(PoE)技術を利用したLinuxベースの2種類の小型コントローラを用いた。一つは3線式白金抵抗体をセンサに用いる4チャンネル温度測定モジュール(E-060)で、 $0.001^{\circ}\text{C}$ の分解能を持っている。もう一つはGPIBコントローラモジュール(E-059)である。いずれも消費電力の少ないCPUであるSH-4を用いており、その上でLinux2.6系カーネルが動作している。そのため、これらのコントローラ上でEMやpoller/collector等のMADOCAフレームワークを動作させることが可能となっている。PoEを用いているため、ネットワークケーブルが届く範囲(HUBから100m以内)であれば電力ラインのことを気にせずに、

設置場所を自由に選択できる。実際、E-060はSCSS試験加速器マシントンネル内に放射線防護用の箱とともに設置され、精密温度測定を行っている。また、PoE機器への電源供給装置であるPSE(Power Sourcing Equipment) HUBの管理機能を用いて、Webブラウザ等から遠隔で給電状態の監視や制御ができることも大きなメリットである。

## 4. ソフトウェア開発

SCSS試験加速器制御システムのソフトウェア開発は2005年5月に開始した。MADOCAを使用することで、構築にかかる時間を劇的に短縮でき、2005年11月には、加速器コンポーネントの完成に合わせてコミショニングを開始している。

SCSS試験加速器制御システムでは、加速器コンポーネントの構成変更に対応するために、いくつかの工夫を行っている。ひとつは、被制御機器のコンフィギュレーションを一元管理することで、EMの作成が迅速に行えるようにした。また、A/D, D/AおよびFL-netなど、汎用的に使用するデバイスに対して、APIの共通化を行い、新たな機器の追加や変更の際に、ソフトウェア開発の負担を減らしている。これによって、新たな機器構成に対して、極めて短時間に対応することが可能となった。ユーザーインターフェースアプリケーションは、MADOCAで広く使用しているX-Mateにより構築し、円滑なコミショニングを行うことができた<sup>[6]</sup>。

## 5. まとめ

タイミングシステム、高周波位相制御システムなど、XFELの制御システム構築のための要素技術開発を行った。また、これらを用いてSCSS試験加速器の制御システムを構築し、技術的な検証を行い、良好な結果を得た。SCSS試験加速器の制御システムは、制御用ソフトウェアフレームワーク：MADOCAを使って構築した。これにより、加速器の制御システムとしては極めて短期間に実装を終え、2006年6月のSASE発振を達成した。

## 参考文献

- [1] R. Tanaka, et al., "The first operation of control system at the SPring-8 storage ring", Proceedings of ICALEPCS'97, Beijing, China, 1997, p1
- [2] T. Fukui et al., "Development of a communication with PLC by using the FL-net as open standard PLC link", Proceedings of PCaPAC2005, Hayama, Japan, 2005.
- [3] T. Masuda et al., "Development of a Linux-based small-size controller using PoE technology", Proceedings of ICALEPCS 2005, Geneva, Switzerland, 2005.
- [4] N. Hosoda et al., "Timing System of SCSS Prototype Accelerator", Proceedings of this meeting.
- [5] T. Fukui et al., "A development of high-speed A/D and D/A VME boards for a low level RF system of SCSS", Proceedings of ICALEPCS 2005, Geneva, Switzerland, 2005.
- [6] M. Kitamura et al., "GUI development of the SCSS prototype accelerator", Proceedings of this meeting.