

ACCELERATOR PROTECTION SYSTEM OF THE MR DIVISION OF J-PARC USING EMBEDDED EPICS

Atsuyoshi Akiyama^{A)}, Yuko Katoh^{B)}, Hidetoshi Nakagawa^{A)}, Jun-ichi Odagiri^{A)}

^{A)} High Energy Accelerator Research Organization(KEK)

1-1 Oho, Tsukuba, Ibaraki 305-0801 Japan

^{B)} Japan Atomic Energy Agency(JAEA)

2-4 Shirane Shirakata, Tokai-mura, Naka-gun, Ibaraki 319-1195, Japan

Abstract

J-PARC is the large intensity accelerator. The strong radioactivation is caused, since the energy is comparatively high, when the accelerated particle collides with vacuum duct and equipment. The problem of producing degradation and trouble of the equipment, and the maintenance becoming impossible is caused. Then, machine protection system (MPS) which stopped the beam acceleration in the abnormal case of the equipment was developed. In LINAC/RCS and MR, it was independently developed, since the arrangement of the electric power source equipment is different. However, the operation which was united as an MPS has been done by unifying the connection specification of the signal. On MPS equipment used in the MR division, it explains on specification of the equipment, positioning of EPICS, operation situations, etc..

組み込み EPICS を使った J-PARC の MR 部の加速器保護装置

1. はじめに

J-PARC の MR は 30 GeV までビームを加速し 750 KW の出力を得る事を目標にしている。機材をほうしゃかするほどにエネルギーが高く、しかもパワーが大きい(加速粒子数が多い)ためにビームロスが生じた場合、酷い放射化が生じ、場合によっては機器を破壊することも心配される。そこで、機器異常で生じるビームロスの初期状態を検出しビームを加速器から取り出す装置としてアボート装置が検討された。また、次のビーム加速を行わせないためにイオン源周辺でビーム加速が始まるのを止める装置として機器保護装置(MPS)も検討された。同一の信号源に基づき類似の情報処理をすることから、アボートと MPS を行う装置は一体で構築された。

J-PARC は LINAC/RCS/MR の加速器群と MLF/HD/NU と言った実験エリアから構成されるが機器異常時にビームに来て欲しくないのはどこも同じなので MPS 部分は一体化して運用することにした。ただし、建物構成が加速器ごとに異なり、機器配置も異なるために、設計を適正化するために時間構造の異なる 2 グループで異なる設計とした。グループとしては LINAC/RCS/MLF という 2.5 Hz 運転を行うグループと、MR/HD/NU という数秒周期で運転されるグループとした。この組み分けはアボート処理にも適していた。

この発表では、後から設計製作された MR/HD/NU のアボート/MPS 装置の設計を紹介する。設計が後になった分、より進んだ電子機器が使用可能となり、組み込み EPICS 等の採用でシステム構築が単純化できるようになった。

アボート/MPS 装置は入力信号が異常を示したときに運転条件などを加味して、出力に異常信号を出すのだが、アボートのためには 10 マイクロ秒程度の論理処理遅れしか許されなかった。しかも、初期の実験の運転から、高強度の実用運転まで、広範囲の適応能力が要求されることは容易に推測された。そこで FPGA で論理処理を行いながら、その結果をコンソールに伝えたり、コンソールから指令を受けたりする CPU も FPGA 上に構築した。その CPU で LINUX を動かし、EPICS を動かし、操作は容易にする装置とした。それでも異常処理にかんしては高速リアルタイム性を実現できる装置とした。このシステムの詳細を述べる。

2. 装置の配置

J-PARC の加速器と実験エリアの写真の上に設置機器の構成を書いたのが図 1 である。



図 1 機器配置概略

MR系は各部屋からの信号をD3電源棟に集めそこでアボート信号をキッカーの制御装置へ送る。また、MPS信号を中央制御棟まで送り、全体の集約装置で信号をまとめ、加速器のビーム行き先条件などを加味してビーム停止指令を入射器部へ送る。

3. 装置の構成部品

MRのアボート/MPS装置は独自設計のモジュール構造で構成されている。また、機器異常を扱うMR-MPS装置系とビームロス信号処理装置からの信号をもらいアボート/MPS装置へ送るBLM-MPS装置系も類似はしているが異なる設計である。使っている機材のリストを表1に示す。

表1 構成機材リスト

使用目的	種類	名前	ID
MR-MPS/Abort	バックプレーン	MR-MPS-BUS	
	装置情報	MR-MPS-OPT	2
	東芝電源信号	MR-MPS-OLC	3
	情報伝達(to/from他のMPS)	MR-MPS-FCT	1
	タイミングなど	MR-MPS-TTL	4
	Abort	MR-TTL-GIO(TTL/接点)	5/6
MR-Loss	バックプレーン	BLM-MPS-BUS	
	ロスMPS信号	BLM-MPS-TTL	8
	装置情報	BLM-MPS-OPT	7
	情報伝達(toMRMPS)	BLM-MPS-FCT	9
	CPU(IOC)	BLM-MPS-CPU	
	電源	BLM-MPS-POWER	

この表でMR-MPS-FCTとBLM-MPS-FCTは他のMPS系の装置との通信用のボードである。MR系のみではなく、LINAC/RCS/MLF系のMPS装置とも共通の通信仕様で作られている。図2にこの信号波形を示す。正常時は160ns周期の矩形波を異常時には80ns周期の矩形波を送る。

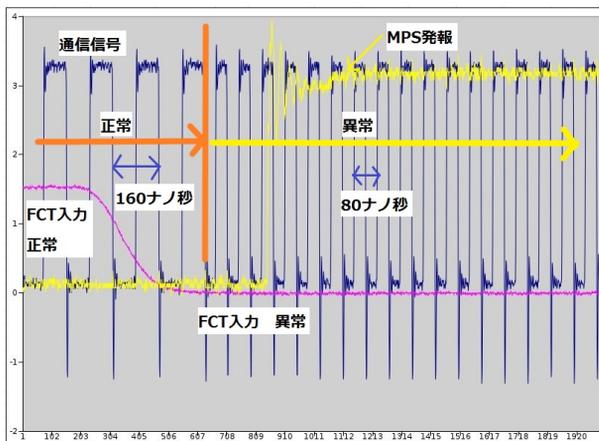


図2 正常/異常 伝送波形

論理判断はXILINX社のFPGAであるVirtex-4 FXを使っている。この上にPowerPC405のCPUコアを乗せて運転コンソール等との通信に使っている。

入出力ボードは接続対象に合わせて数種類あるが、代表的なボードであるMR-MPS-OPTと呼ばれるリレー接点信号の読取装置の写真を図3に示す。論理

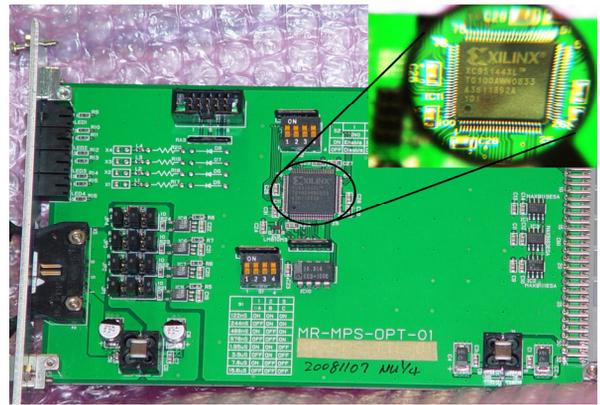


図3 MR-MPS-OPT
CPLD (XC95144XL) で信号処理

処理部にCPLDを使用し、必要に応じて機能を変更することができるようにしてある。

4. 判定論理や制御ソフト

BLM-MPS系では入力信号はビームロスとロス測定用電源などの単一のグループに属するものであり、トランスポートラインかリングかを分離し処理するだけでよい。そこで信号処理装置をトランスポートライン系とリング系に分離した。そして、異常の判定処理は各入力ボード内で8入力のorをとり、それをBLM-MPS-FCTへ送りその出力ボードで、入力ボードからの信号のorをとるという単純な方法を採用した。

それに対してMR-MPS系では図4のように各入力

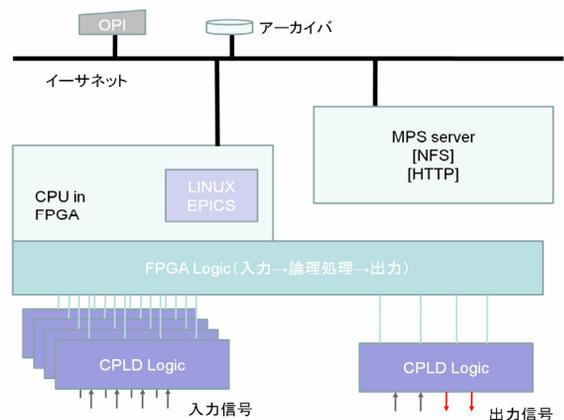


図4 MR-MPS系の異常判定論理

信号はCPLDで“異常”の確認処理を行った後で1本毎にFPGAへ入力する。(図4)そしてその結果で直接出力ボードを操作して、異常発報を伝達させる。そのためにFPGAの動作速度で異常判定とその伝達ができることになる。建物間では光信号ですら伝達に数μ秒を要する。システムとしての総合遅延を100μ秒程度と想定している。

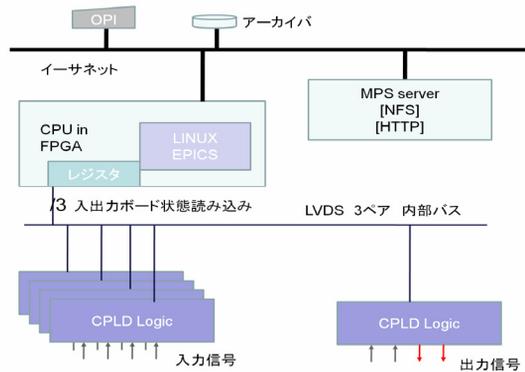


図5 入出力ボード内情報の読み出し

さらに、入出力ボードの設置異常を検出するためにスロット番号とボード ID やマスク SW の情報などを読めるようにしてある。これは高速性を要求されないので、図5の様にバス接続でCPUからポーリングしながら情報を読みだす。

アポート/MPS 装置としての主要部は FPGA の論理処理で直接の結線に近い。補助作業には CPU で外部機器と通信しながら情報の授受を行う。

- CPU on FPGA: PowerPC405
- LINUX: LINUX: Var. 2.6.18
- GCC 4.1.2
- EPICS: 3. 14. 9
- 専用FPGA内レジスタ制御用ドライバ開発
- OPI: MEDM
- 記録: camonitor など
- 入出力ボード: スロット位置管理実施

図6 プログラムのバージョンなど

FPGA 内の PowerPC405 の CPU コア上で LINUX を動かし、その上で EPICS を動かしている。各プログラムなどのバージョンを図6に示す。

EPICS の CA サーバの機能で表示部とアーカイバに状況の指示を出している。また、FPGA 内の論理処理部には一時的マスク機能も持たせてあり、加速器実験などのための対応もできるようにしてある。ただし、この操作は権限のある人間以外の操作は認められない。

5. 表示例

FPGA 上の CPU コアで CA サーバが動いているので MPS の発報状況などは制御室で容易に表示できる。運転の初期段階なので、MR のリングでのロス、トランスポートラインのロス、MR 系機器の異常という 3 種類の独立した表示と全体の集約装置への MPS 発報情報を X-window の画面上にすべて表示して監視していた。その時の表示画面を図7に示す。

4 枚の独立した表示であり、通常は集約装置への情報だけ見ていれば十分である。また、EPICS を使っているので情報発信元と情報利用側とは全く独

立であり、複数の場所で複数の表示を出すことも、一部の情報を別の表示画面に埋め込むことも自由である。

6. 運用結果

多少実用的な運用を 5 か月間行った。そこで、MPS の発報状況などを集計してみた。ただし、ほとんどは加速器の機器の調整試験であり、MPS 発報の必要があるような状況ではなく、運用上は疑似的なものである。集計結果を表2に示す。

5 か月の運用で 1 度だけ装置側の状況と MPS 装置の発報情報が食い違うという報告があった。後に再

表2 運転時の発報頻度など

月	運転時間	ショット数	MPS発報機器数	発生頻度	MPS誤作動
1	117	630	11	61	0
2	87	5194	4	6	0
4	81	2955	13	13	0
5	95	2764	5	13	1
6	122	3484	2	2	0
計	502	15027	35	95	1

現試験を行ったが、再現できなかった。異常発報の原因となりそうなノイズの調査でも否定的であった。

7. まとめ

5 か月の運用で誤発報が 1 件というのは十分信頼性が高いと判断していいと思える。また、各入出力ボード上の CPLD での確認処理機能を強化して誤作動の確率を減らすことは容易である。

アポート/MPS の発報の論理処理を FPGA で行ったために、複雑な論理処理が可能であり、「ビームの行き先に合わせた MPS の発報」は J-PARC では当たり前になっている。また、不具合が見つかった場合の修正も容易であり、我々の場合、加速器の運用状況に合わせて、MPS の論理も複雑化してきた。

EPICS を採用したために表示や制御は容易になった。特に MR 部では論理処理用 FPGA 内に CPU を持たせたために外部配線などを極端に減少させることができ、信頼性やコストなどで利益が大きかったと考えている。

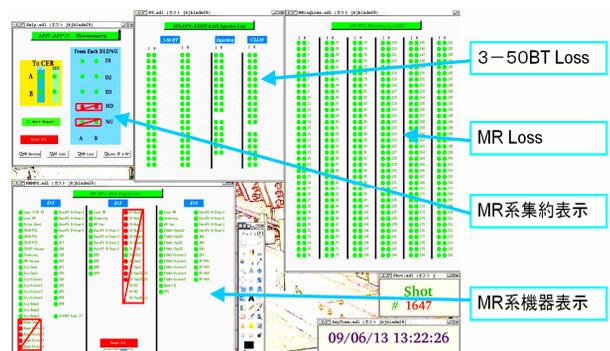


図7 MR 部の MPS の表示例